



# GMM

VDE/VDI-GESELLSCHAFT  
MIKROELEKTRONIK,  
MIKRO- UND FEINWERKTECHNIK



# ITG

INFORMATIONSTECHNISCHE  
GESELLSCHAFT IM VDE



PROGRAMM

## Zuverlässigkeit und Entwurf

3. GMM/GI/ITG-Fachtagung

21. September – 23. September 2009

Universität Stuttgart

Tagungshotel der Telekom



[www.ZuE2009.de](http://www.ZuE2009.de)



# VDE

## Vorwort

### Zuverlässigkeit und Entwurf 2009

Die Tagung „Zuverlässigkeit und Entwurf“ (ZuE) wird 2009 in Stuttgart mit besonderer Ausrichtung auf neue technologische Herausforderungen in Zusammenarbeit mit der Kooperationsgemeinschaft Rechnergestützter Schaltungen- und Systementwurf (RSS) durchgeführt. Zu diesen Herausforderungen gehören beispielsweise Entwurf und Test zuverlässiger 3-D integrierter Systeme, analoge Schaltungen in Nanometer CMOS oder zuverlässige Performance/Power-Selbstkalibrierung.

Heutige integrierte und gepackte Systeme können über hunderte Millionen von Transistoren enthalten, bestehen aus digitalen und analogen Komponenten unterschiedlichster Technologien und eröffnen völlig neue Anwendungsfelder. Eingebettete Systeme, Ein- und Mehr-Chip-Systeme, Multiprozessoren und integrierte Netzwerke gehen über die Steuerung von Geräten und Anlagen, Fahrzeugen und Verkehrssystemen weit hinaus und stellen vermehrt besonders hohe Anforderungen an die Zuverlässigkeit und Sicherheit. Dem steht gegenüber, dass bei weiter sinkenden Strukturgrößen in der Mikroelektronik die gefertigten elementaren Komponenten wie Transistoren und Leitungen über einen sehr großen Parameterbereich variieren werden. Anteile hochintegrierter oder gepackter Systeme mit mikro-mechanischem Anteil nehmen stetig zu.

Es besteht dringender Bedarf an innovativen Verfahren, um die Ausbeute und die Zuverlässigkeit von mikro- und nanoelektronischen Systemen durch Selbsttest, Fehler-toleranz und integrierte Reparaturmechanismen zu gewährleisten und ihre Qualität durch entsprechende Entwurfs-, Verifikations-, Test- und Diagnoseverfahren sicher zu stellen. Diese Verfahren müssen sowohl Fertigungsfehler und Parameterschwankungen als auch Störungen während des Betriebs kompensieren können.

Diese Themen werden im vorliegenden Programm intensiv behandelt. Tutorials von ausgewiesenen nationalen und internationalen Experten, eingeladene Vorträge aus der Industrie und Berichte aus aktuellen Forschungsarbeiten bilden insgesamt ein hochkarätiges Programm, zu dem wir Sie gerne vom 21.09. bis 23.09.2009 in Stuttgart begrüßen würden.

*Sebastian Sattler*  
Universität Erlangen-Nürnberg  
Tagungsleiter

*Hans-Joachim Wunderlich*  
Universität Stuttgart  
Vorsitzender des  
Programmkomitees

## Inhaltsverzeichnis

Veranstalter .....	4
Informationen zur Tagung .....	4
Tagungsleiter.....	4
Organisationskomitee.....	4
Programmkomitee .....	4
Programm zur Tagung .....	6
Tutorials.....	6
Eingeladene Vorträge .....	7
Montag, 21.09.2009 .....	12
Dienstag, 22.09.2009 .....	12
Mittwoch, 23.09.2009 .....	16
Allgemeine Hinweise .....	19
Tagungsorganisation .....	19
Anmeldung .....	19
Teilnahmegebühren .....	19
Bezahlung der Teilnahmegebühr.....	20
Stornierung.....	20
Telefonische Erreichbarkeit .....	20
Zimmerreservierungen .....	21
Tagungsort .....	21
Anreise .....	21
Abendveranstaltung .....	24
Programmübersicht .....	25

**Veranstalter**  
**Informationen zur Tagung**

VDE/VDI-Gesellschaft Mikroelektronik, Mikro- und Feinwerk-  
technik (GMM) und  
ITG (Informationstechnische Gesellschaft im VDE)  
Stresemannallee 15, 60596 Frankfurt am Main  
☎ +49 (0)69-6308-330 📠 +49 (0)69-6308-9828  
E-Mail: gmm@vde.com  
www.ZuE2009.de

**Tagungsleiter**  
**Vorsitzender des Programmkomitees**

Sebastian Sattler, Friedrich-Alexander Universität  
Erlangen-Nürnberg  
Hans-Joachim Wunderlich, Universität Stuttgart  
(Vorsitzender des Programmkomitees)

**Organisationskomitee**

Bernd Becker	Universität Freiburg
Oliver Bringmann	FZI, Karlsruhe
Rolf Drechsler	Universität Bremen
Kai Hahn	Universität Siegen
Lars Hedrich	Universität Frankfurt
Sybille Hellebrand	Universität Paderborn
Andreas Herkersdorf	Technische Universität München
Sorin Huss	Technische Universität Darmstadt
Ole Mende	Audi AG, Ingolstadt
Volker Schanz	ITG im VDE, Frankfurt/Main
Jürgen Schöffel	Silicon Test Solutions Mentor Graphics Development GmbH, Hamburg
Ronald Schnabel	VDE/VDI-GMM, Frankfurt/ Main
Norbert Wehn	Universität Kaiserslautern

**Programmkomitee**

U. Abelein	AUDI AG, Ingolstadt
W. Anheier	Universität Bremen
M. Brandstetter	Robert Bosch GmbH, Stuttgart
R. Brück	Universität Siegen
K. Buchenrieder	Universität BW, München
M. Dietrich	FhG-IIS / EAS Dresden
F. Dietz	Telefunken Semiconductors GmbH & Co KG, Heilbronn
S. Eichenberger	NXP Semiconductors Germany GmbH, Nijmegen, NL
R. Ernst	TU Braunschweig

G. Fey  
M. Fischer  
G. Georgakos

W. Glauert  
H. Gräß  
C. Grimm  
Th. Harriehausen  
K. Helmreich  
T. Hötzel  
J. Kelber  
W. Kunz  
J. Lienig  
B. Michel  
K. Müller-Glaser  
W. Nebel  
F. Oppenheimer  
R. Pferdmeiges

M. Pfof

F. Pöhl

I. Polian  
M. Porrman  
M. Radetzki  
M. Reuter  
J. Rivoir  
J. Scheible  
F. Schenkel  
U. Schlichtmann  
K. Schneider  
V. Schöber  
P. Schwarz  
C. Sebeke  
R. Sommer  
A. Steininger  
J. Teich  
R. Vahrman  
H. Vierhaus

R. Wagner  
T. Winkovich  
B. Wittig  
H.-J. Wunderlich

Universität Bremen  
Verigy Germany GmbH, Böblingen  
Infineon Technologies AG,  
Neubiberg  
Universität Erlangen-Nürnberg  
Technische Universität München  
Universität Wien  
FH Braunschweig/Wolfenbüttel  
Universität Erlangen-Nürnberg  
ZMD AG, Dresden  
Fachhochschule Schmalkalden  
Universität Kaiserslautern  
Technische Universität Dresden  
FhG-IZM Berlin  
Universität Karlsruhe  
OFFIS e.V., Oldenburg  
OFFIS e.V., Oldenburg  
Infineon Technologies AG,  
Neubiberg  
Infineon Technologies AG,  
Neubiberg  
Infineon Technologies AG,  
Neubiberg  
Universität Freiburg  
Heinz-Nixdorf-Institut, Paderborn  
Universität Stuttgart  
Mentor Graphics GmbH, München  
Verigy Germany GmbH, Böblingen  
Robert Bosch GmbH, Reutlingen  
MunEDA GmbH, München  
Technische Universität München  
Universität Kaiserslautern  
edacentrum GmbH, Hannover  
FhG-IIS / EAS Dresden  
Robert Bosch GmbH, Reutlingen  
IMMS gGmbH, Ilmenau  
TU Wien  
Universität Erlangen-Nürnberg  
Atmel Germany GmbH, Heilbronn  
Brandenburgische Technische  
Universität Cottbus  
Robert Bosch GmbH, Reutlingen  
Siemens AG, Erlangen  
Volkswagen AG, Wolfsburg  
Universität Stuttgart

### Tutorial A

#### **Silicon Validation, Debug and Diagnosis**

R. Aitken, ARM Ltd., Sunnyvale, CA, USA

Increasing design complexity along with the emergence of new failure mechanisms in the nanometer regime has significantly increased the complexity of verification, validation and manufacturing ramp of ICs. From the time a new chip comes back from the fab until high-volume production can start, the chip goes through functional silicon validation and debug to make sure it is free of design errors, and defect diagnosis and failure analysis to solve yield problems. This tutorial covers the state of the art in silicon validation and debug and defect diagnosis ranging from the basic concepts to advanced applications and new DFD techniques.

### Tutorial B

#### **Formale Verifikation und Robustheit**

R. Drechsler, G. Fey, Universität Bremen

Die funktionale Korrektheit integrierter Schaltkreise zu prüfen ist eine der wichtigsten Aufgaben beim Entwurf. Zusätzlich werden Fehlertoleranz und Robustheit vor dem Hintergrund abnehmender Strukturgrößen zunehmend wichtig. Eine vollständige Analyse aller Szenarien und aller möglichen Fehler wird mit formalen Methoden erreicht.

Im Tutorial werden hierzu die Grundlagen vorgestellt. Es werden sowohl die verwendeten Modelle als auch die darauf arbeitenden Algorithmen eingeführt. Anwendungsbeispiele werden diskutiert. Aufbauend darauf wird gezeigt, wie Fehlertoleranz und Robustheit integrierter Schaltkreise mit Hilfe formaler Methoden analysierbar und messbar werden.

## Eingeladene Vorträge

#### **Reliability Challenges with On-Line Performance Monitoring**

R. Aitken, ARM Ltd., Sunnyvale, CA, USA

Several performance/power enhancing techniques for embedded processors rely on the use of on-chip performance monitors. This talk outlines the challenges of designing these to include both variability and reliability criteria, and discusses several promising approaches currently under investigation.

#### **Design for Reliability of Analog Circuits in Nanometer CMOS Technology**

G. Gielen, Katholieke Universiteit Leuven, Belgien

Reliability is becoming one of the major concerns in designing integrated circuits in nanometer CMOS technologies. Problems relate to increased external interference such as caused by crosstalk and EMI, as well as due to technology-related degradation mechanisms such as NBTI, causing time-dependent circuit performance degradation. Variability only makes these things more severe. This creates a need for innovative design techniques and design tools that help designers coping with these reliability and variability problems. This invited talk will describe novel circuit design techniques that can be used at IC design time before tapeout or through run-time circuit adaption and reconfiguration after fabrication. Also, design tools for the efficient analysis and identification of reliability problems in analog circuits are described. This will be illustrated with some design examples.

## **Design for Reliability – a Key Requirement for modern Product Design**

C. Schlünder, Infineon Technologies AG, Neubiberg

Modern state of the art CMOS technologies show inevitable parameter degradation of their devices during use. Device degradation mechanism like NBTI or HCI became a limiting factor in scaling of modern CMOS technologies. The safety margin between real lifetime of MOSFETs and product lifetime requirements decreases at advanced technologies.

The assignment of tasks to ensure the product lifetime has to be changed for the future. Up to now technology development and reliability group have the main responsibility to adjust the technology processes to assure the required lifetime. In future, achieving reliability targets can no longer be the task of these both groups only. To ensure reliability of microelectronic products is a collective challenge for technology-, reliability- and circuit designer-experts. A close collaboration early in development of new technologies and circuit design in terms of reliability is needed to achieve reliable and competitive products.

For this work designers have to be supported by smart software tools with built-in reliability know how. "Design for reliability (DfR)" will be one of the key requirements for modern product designs.

This talk will give a brief introduction of the NBTI and HCI phenomenon. An overview will be given of the physical damage mechanism, of the operation conditions within circuits leading to stress and of the impact of the corresponding device parameter degradation on the function of the circuit.

Based on this understanding various approaches for Design for Reliability will be described. The function of aging simulators will be explained and the typical flow of circuit simulation will be shown. Furthermore the difference between full custom and semi custom design and therefore the different required approaches will be discussed. The introduction and illustration of one possible approach for the implementation of Design for reliability in semi-custom design will complete the talk.

## **Verbesserung der Strahlentoleranz von FPGAs für Experimente der Hochenergiephysik**

U. Kebschull, Universität Heidelberg

In Experimenten der Hochenergiephysik werden Ionen mit hoher Energie zur Kollision gebracht. Die dabei entstehenden Teilchen hinterlassen Spuren in Detektoren, die aufgezeichnet und analysiert werden müssen. Die Auswertung dieser Spurdaten lassen Rückschlüsse auf Kondensations- und Zerfallsprozesse von Teilchen zu und werden für deren Identifikation verwendet. Im Beispiel des ALICE-Experiments am LHC am CERN werden auf diese Weise Vorgänge untersucht, wie sie wenige Millisekunden nach dem Urknall stattgefunden haben müssen. Über die hier durchgeführten Experimente erhoffen sich die beteiligten Physiker neue Erkenntnisse über den Kondensationsprozess der uns bekannten Materie. Aus technischer Sicht müssen enorme Datenmengen mit sehr kurzen Latenzen bearbeitet werden.

Für die erste Stufe der Datenverarbeitung, für das Auslesen der Daten aus dem Detektor sowie für das Detector-Control System werden zahlreiche FPGAs im Detektor eingesetzt. Der Vorteil von FPGAs gegenüber ASICs liegt darin, dass FPGAs auch während der Laufzeit des Experiments von ca. 10 Jahren an neue Aufgabenstellungen angepasst werden können. Deren Nachteil liegt in der hohen Empfindlichkeit gegenüber Teilchenstrahlung, die zu Single-Event-Upsets (SEU) führen. Um trotzdem brauchbare Daten aus dem Detektor lesen zu können, werden geeignete Verfahren entwickelt, die Fehler in FPGAs erkennen und reparieren.

Im Vortrag wird nach einer Übersicht der Experimente am LHC im CERN speziell auf den Aufbau des ALICE-Experiments eingegangen. Anschließend wird gezeigt, wo FPGAs zum Einsatz kommen und wie diese gegen SEUs durch Teilchenstrahlung gesichert werden.

## **Methoden für den Entwurf zuverlässiger 3D-Chip**

### **Stapel**

G. Elst, P. Schneider, Fraunhofer Institut für Integrierte Schaltungen, Dresden

Technologien zur 3D-Integration eröffnen ein breites Spektrum von Möglichkeiten für die wirtschaftliche Realisierung neuer funktionaler Konzepte. Es gibt jedoch auch eine ganze Reihe von signifikanten Einflussfaktoren auf das Systemverhalten und die Zuverlässigkeit, die durch den Aufbau des Chipstapels, z.B. Chipdicke, Lage und Art der Inter-Chip-Via-Strukturen, sowie der Fertigungstechnologie hervorgerufen werden.

Ausgehend von typischen technologischen Varianten werden wesentliche Einflussgrößen auf das Verhalten des zu implementierenden Systems identifiziert und modelliert. Das betrifft die Detailanalyse von Interchip-Verbindungen, elektrothermischen und die elektromagnetischen Verkopplungen sowie die Ableitung von Verhaltensmodellen für den Einsatz auf Systemebene. Die Nutzung dieser Modelle beim Entwurf erlaubt die Analyse der Auswirkungen der Technologie auf die Funktion und die Minimierung dieser Auswirkungen mit bekannten Optimierungsverfahren. Somit sind Schaltdimensionierung, Systemarchitektur und Anordnung der Systemkomponenten in Stapel so festlegbar, dass unter Berücksichtigung der gegebenen Toleranzen eine maximale funktionelle Zuverlässigkeit erreicht wird.

## **Testing of 3D Integrated Circuits: Challenges and Emerging Solutions**

K. Chakrabarty, Duke University, NC, USA

Three-dimensional (3D) integrated circuits (3D) promise to overcome barriers in interconnect scaling, thereby offering an opportunity to get higher performance using CMOS technology. Despite these benefits, testing remains a major obstacle that hinders the adoption of 3D integration. Test techniques and design-for-testability (DfT) solutions for 3D ICs have remained largely unexplored in the research community, even though experts in industry have identified a number of test challenges related to the lack of probe access for wafers, test access to modules in stacked wafers/dies,

thermal concerns, test economics, and new defects arising from unique processing steps such as wafer thinning, alignment, and bonding. In this talk, the speaker will present an overview of 3D integration, its unique processing and assembly steps, testing and DfT challenges, and some of the solutions being advocated for these challenges. The talk will focus on the use of through-silicon-vias for 3D integration, and related processing steps such as via-first/via-last assembly, face-to-face bonding, and face-to-back bonding. The implications of these processing steps on testing will also be discussed.

## **Test in der Produktentwicklung**

S. Engleitner, Qimonda AG, Neubiberg

In den Entwicklungsprozessen der Halbleiterindustrie liegt der Schwerpunkt in vielen Fällen auf pre-Silicon Themen wie Produktdefinition und Implementierung. Während die post-Silicon Validierung noch gewisse Aufmerksamkeit genießt, wird Testentwicklung, vor allem aber auch Testoptimierung, oft vernachlässigt oder besitzt einen geringen Stellenwert. Die folgenden Ausführungen sind ein Plädoyer, in Testthemen zu investieren, um zum einen Kosten zu sparen, vor allem aber eine gleichbleibende Produktqualität zu gewährleisten und bei Qualitätsproblemen schnell reagieren zu können.

## Montag, 21. September 2009

### 14:00-15:00 Registrierung

### 15:00-18:00 Tutorial A

Moderation: S. Holst, Universität Stuttgart

#### **Silicon Validation, Debug and Diagnosis**

R. Aitken, ARM Ltd., Sunnyvale, CA, USA

### 15:00-18:00 Tutorial B

Moderation: W. Anheier, Universität Bremen

#### **Formale Verifikation und Robustheit**

R. Drechsler, G. Fey, Universität Bremen

## Dienstag, 22. September 2009

### 08:30-09:00 Registrierung

### 09:00-09:15 Eröffnung

#### **Best Paper Award der "Zuverlässigkeit und Entwurf 2008"**

Preisträger: G. Georgakos, Infineon Technologies AG, Neubiberg

Präsentation: H.-J. Wunderlich, Universität Stuttgart; R. Schnabel, VDE/VDI-GMM, Frankfurt/Main

### 09:15-10:45 Eingeladene Vorträge

Moderation: W. Kunz, Universität Kaiserslautern

#### **Reliability Challenges with On-Line Performance Monitoring**

R. Aitken, ARM Ltd, Sunnyvale, CA, USA

#### **Design for Reliability of Analog Circuits in Nanometer CMOS Technology**

G. Gielen, Katholieke Universiteit Leuven, Belgien

### 10:45-11:15 Kaffeepause

### 11:15-11:45 Eingeladener Vortrag

#### **Design for Reliability – a Key Requirement for modern Product Design**

C. Schlünder, Infineon Technologies AG, Neubiberg

### 11:45-12:45 Sitzung 1: Selbstdiagnose und Selbstreparatur

Moderation: M. Dietrich, Fraunhofer Institut für Integrierte Schaltungen IIS, Dresden; C. Wegener, National Semiconductor AG, Unterhaching

- **XP-SISR: Eingebaute Selbstdiagnose für Schaltungen mit Prüfpfad**  
M. Elm, H.-J. Wunderlich, Universität Stuttgart
- **Selbstreparatur durch Regularisierung von Logik-Strukturen**  
H. Vierhaus, T. Koal, D. Scheit, Brandenburgische Technische Universität Cottbus

### 12:45-14:00 Mittagspause

### 14:00-14:45 Eingeladener Vortrag

Moderation: W. Glauert, Universität Erlangen-Nürnberg

#### **Verbesserung der Strahlentoleranz von FPGAs für Experimente der Hochenergiephysik**

U. Keschull, Universität Heidelberg

### 14:45-16:15 Sitzung 2: Analyse von Fehlertoleranz und Robustheit

Moderation: M. Gössel, Universität Potsdam; C. Sebeke, Robert Bosch GmbH, Reutlingen

- **Anwendungsbezogene Analyse der Robustheit von digitalen Schaltungen**  
A. Süßflow, S. Frehse, G. Fey, R. Drechsler, Universität Bremen

- **Robustheitsanalyse stark fehlersicherer Schaltungen mit SAT-basierter Testmustererzeugung**  
M. Hunger<sup>2</sup>, S. Hellebrand<sup>2</sup>, A. Czutro<sup>1</sup>, I. Polian<sup>1</sup>, B. Becker<sup>1</sup>  
<sup>1</sup> Universität Freiburg  
<sup>2</sup> Universität Paderborn
- **Degradierbare Switches für fehlertolerante Networks-on-Chip**  
A. Kohler, M. Radetzki, Universität Stuttgart

### 16:15-17:00 Postersitzung und Kaffee

Moderation: S. Hellebrand, Universität Paderborn;  
W. Vermeiren, Fraunhofer Institut für Integrierte Schaltungen, Dresden

- **Comparison of 4 Reliability Prediction Approaches for Realistic Failure Rates of Electronic Parts required for Safety & Reliability Analysis**  
W. Hoppe, Rheinmetall Technical Publication GmbH, Bremen; P. Schwederski, Universität Stuttgart
- **Metric-Driven Validation and Verification of Software for Embedded Systems**  
M. Winterholer, Cadence Design Systems GmbH, Feldkirchen
- **Basic Design Challenges for Logical Gates Using Non-Standard Technologies or Circuit Concept Approaches**  
A. Amar, IMMS gGmbH, Ilmenau; W. Glauert, Universität Erlangen-Nürnberg
- **Entwurfsmethodik für einen Multi-Design-Rule Via-Testchip**  
D. Kohlert, Fachhochschule Regensburg;  
R. Holmer, Infineon Technologies AG, Regensburg

- **Statistische Parasitics-Extraktion und Crosstalk-Noise**  
A. Heinig, Fraunhofer Institut für Photonische Mikrosysteme IPMS, Regensburg; C. Sohrmann, Fraunhofer Institut für Integrierte Systeme IIS, Dresden
- **Analyse und Optimierung von fehlertoleranten eingebetteten Systemen mit gehärteten Prozessoren**  
V. Izosimov<sup>1</sup>, I. Polian<sup>2</sup>, P. Pop<sup>3</sup>, P. Eles<sup>1</sup>, Z. Peng<sup>1</sup>  
<sup>1</sup> Linköping University, Sweden  
<sup>2</sup> Universität Freiburg  
<sup>3</sup> Technical University of Denmark

### 17:00-18:00 Sitzung 3: Variations- und Alterungsanalyse

Moderation: Y. Manoli, Universität Freiburg; M. Olbrich, Universität Hannover

- **Alterungsanalyse digitaler Schaltungen auf Gatterebene**  
D. Lorenz, U. Schlichtmann, Technische Universität München; G. Georgakos, Infineon Technologies AG, Neubiberg
- **Logisch-statistische Simulation digitaler Systeme mit Temperatur- und Spannungs-kartierung zur Vorhersage von Variations- und Alterungseffekten**  
K. Hylla, D. Helms, W. Nebel, Offis e.V., Oldenburg

### 19:30-23:00 Abendveranstaltung

## Mittwoch, 23. September 2009

### 08:30-10:00 Eingeladene Vorträge

Moderation: H. Gräß, Technische Universität München; N. Wehn, Universität Kaiserslautern

- **Methoden für den Entwurf zuverlässiger 3D-Chip-Stapel**  
G. Elst, Fraunhofer-Institut für Integrierte Schaltungen, Dresden
- **Testing of 3D Integrated Circuits: Challenges and Emerging Solutions**  
K. Chakrabarty, Duke University, NC, USA

### 10:00-10:30 Kaffeepause

### 10:30-11:30 Sitzung 4: Platzierung und Verdrahtung

Moderation: R. Brück, Universität Siegen; F. Slomka, Universität Ulm

- **Neue Herausforderungen an die Verdrahtungsvorhersage beim 3D-Layoutentwurf**  
T. Meister, J. Lienig, Technische Universität Dresden
- **Automatische Generierung hierarchischer Platzierungsregeln für analoge integrierte Schaltungen**  
M. Eick, M. Strasser, H. Gräß, U. Schlichtmann, Technische Universität München

### 11:30-12:15 Eingeladener Vortrag

Moderation: W. Wolz, DTC Design & Test Consulting, Neunkirchen; U. Abelein, Audi AG, Ingolstadt

- **Test in der Produktentwicklung**  
S. Engleitner, Qimonda AG, Neubiberg

### 12:15-13:30 Mittagspause

### 13:30-15:00 Sitzung 5: Testdurchführung

Moderation: H. Manhaeve, Q-Star Test nv, Brugge, Belgien; J. Alt, Infineon Technologies AG, Neubiberg

- **Optimales, skalierbares Ressourcenmanagement für modulare, gemischt analog-digitale Testsysteme**  
D. Glaser, K. Helmreich, P. Lu, S. Sattler, G. Uygur, S. Weichslgartner, Universität Erlangen-Nürnberg; A. Lechner, Konrad GmbH, Radolfzell; A. Brenneke, Melexis GmbH, Erfurt
- **Laser Scanner Lokalisierungsmethode für die schnelle Analyse von DRAM Komponenten**  
M. Versen, A. Schramm, J. Schnepp, S. Hoch, T. Vikas, Quimonda AG, Neubiberg; D. Diaconescu, Infineon AG, München
- **Walshfunktionen für das Testen von Mixed-Signal Schaltungen**  
A. Tchegho, H. Gräß, Technische Universität München; S. Sattler, Universität Erlangen-Nürnberg

### 15:00-15:30 Kaffeepause

### 15:30-17:00 Sitzung 6: Anwendungen

Moderation: R. Vahrmann, Atmel Germany GmbH, Heilbronn; V. Schöber, edacentrum GmbH, Hannover

- **Techniken zur nachweislich vollständigen Verifikation von komplexen Schaltungen – neue Ansätze und Erfahrungen**  
J. Formann, T. Kimmeskamp, K. Echte, D. Tappe, Universität Duisburg-Essen; K. Weinberger, S. Bulach, Robert Bosch GmbH

- **Increasing Test Quality and Device Reliability by Test Simulation**  
P. Lu, D. Glaser, G. Uygur, S. Weichslgartner, K. Helmreich, Universität Erlangen-Nürnberg
- **Neue Teststrukturen zur Messung von Matching und Alterung an MOS-Transistoren**  
M. Meister, D. Nuernbergk, IMMS gGMBH, Ilmenau

**17:00 Schlusswort**

## Allgemeine Hinweise

### Tagungsorganisation (Anmeldung)

Bei Fragen zur Anmeldung wenden Sie sich bitte an:

VDE-Konferenz Service  
Stresemannallee 15  
60596 Frankfurt am Main  
Telefon: 069 / 6308 – 229,- 477  
Telefax: 069 / 9631 5213  
E-Mail: vde-conferences@vde.com  
URL: www.vde.com

### Anmeldung

Die Anmeldung zur Fachtagung „Zuverlässigkeit und Entwurf“ erfolgt über den VDE-Konferenz Service. In der Heftmitte befindet sich ein Formular für die Anmeldung. Die Reservierung erfolgt in der Reihenfolge der Anmeldungen und erst nach vollständiger Bezahlung des Tagungsbeitrags.

Unter [www.ZuE2009.de](http://www.ZuE2009.de) können Sie sich auch online anmelden.

Sie erhalten Ihren Tagungsausweis und Ihre Tagungsunterlagen im Tagungsbüro vor Ort vor Beginn der Veranstaltung

### Teilnahmegebühren

	Anmeldung bis 21.08.2009	Anmeldung nach dem 21.08.2009
Nichtmitglied	€ 380,00	€ 430,00
Persönliches Mitglied *	€ 330,00	€ 380,00
Hochschulangehöriger *	€ 310,00	€ 360,00
Vortragender	€ 310,00	€ 360,00
Student* (ohne Tagungsband)	€ 80,00	€ 120,00

\* Ermäßigung nur bei Übersendung einer Kopie des VDE/ VDI-Mitgliedsausweises bzw. des Studentenausweises!

Die Tagungsgebühr beinhaltet den Tagungsband inklusive CD-ROM, Pausengetränke und Mittagsimbiss.

## Bezahlung der Teilnahmegebühr

Bitte überweisen Sie die Teilnahmegebühr erst nach Erhalt der Anmeldebestätigung auf das angegebene Konto. Bei der Überweisung ist unbedingt der Name des Teilnehmers und die Rechnungs-Nr. anzugeben. Sie können die Tagungsgebühr auch von Ihrem Kreditkarten-Konto abbuchen lassen. Bitte geben Sie dazu (auf dem Anmeldeformular) die Kreditkarten-Informationen an.

Bei kurzfristigen Anmeldungen bitten wir, die Teilnahmegebühr in bar oder per Kreditkarte im Tagungsbüro am Veranstaltungsort zu entrichten. Teilnehmer, die sich erst vor Ort anmelden, müssen damit rechnen, dass kein Tagungsband ausgehändigt werden kann.

Bei Anmeldungen aus dem Ausland kann die Zahlung nur mit Kreditkarte erfolgen.

Hinweis: Die verbindliche Reservierung für die Tagung erfolgt erst nach Eingang Ihrer Zahlung.

## Stornierung

Bei Stornierung bis zum 21.08.2009 (Datum des Poststempels) wird die Teilnahmegebühr abzüglich € 50,- für Bearbeitungskosten zurückerstattet; bei Stornierung nach diesem Zeitpunkt kann eine Rückerstattung der Teilnahmegebühr nicht mehr vorgenommen werden. Die Tagungs-CD wird dann nach der Veranstaltung zugesandt. Es ist jedoch möglich, einen Ersatzteilnehmer zu benennen.

## Telefonische Erreichbarkeit während der Tagung

Ab 21.09.2009 befindet sich das Tagungsbüro im Tagungshotel der Telekom an der Universität Stuttgart. Das Tagungsbüro erreichen Sie unter:

Telefon: 0171 / 46 95 118 (Dr. R. Schnabel)

## Zimmerreservierungen

Im Telekom Tagungshotel an der Universität Stuttgart stehen bis zum 21.08.2009 Zimmerkontingente auf Abruf zum Preis von € 76,00 pro Nacht inkl. Frühstück zur Verfügung. Bitte reservieren Sie Ihr Hotelzimmer unter dem Stichwort „ZuE 2009“.

Deutsche Telekom AG  
Telekom Tagungshotels  
Universitätsstr. 34  
70569 Stuttgart  
Tel.: 0711 6863-3  
Fax: 0711 6863 5555

## Tagungsort:

Campus der Universität Stuttgart

Telekom Tagungshotel Stuttgart  
Deutsche Telekom AG  
Universitätsstraße 34  
70569 Stuttgart

Tel.: 0800 8330 330  
Fax: 0800 8330 331

## *Anreise mit dem Auto*

aus allen Richtungen

- vom Stuttgarter Kreuz über die A831 Richtung Stuttgart / Vaihingen und B14 Richtung Stuttgart Zentrum zur Ausfahrt Universität;
- Achtung: Beachten Sie bitte auf der Autobahn die Geschwindigkeitsbegrenzungen (stationäre Radarüberwachung vor der Ausfahrt Universität)
- an der ersten Ampel links abbiegen, dann die zweite Möglichkeit rechts direkt zum Tagungshotel;
- *Parkmöglichkeiten*  
Parkplätze stehen Ihnen in der Tiefgarage des Telekom Tagungshotels in begrenztem Umfang zur Verfügung. Die Ampelschaltung vor der Tiefgarageneinfahrt zeigt an, ob ein Parkplatz verfügbar ist.

- Beachten Sie bitte die Höhenangaben für die Tiefgarage! Sie parken auf eigene Gefahr; das Telekom Training Tagungshotel Stuttgart haftet nicht für eventuelle Schäden.
- Öffentliche Parkplätze stehen darüber hinaus am nahe gelegenen Pfaffenwaldring (s. Skizze) zur Verfügung.

#### Anreise mit der Bahn:

- ab Hauptbahnhof Stuttgart (Fahrzeit ca. 10 Min.) von Gleis 101 (S-Bahn, tief) mit der S1 Richtung Böblingen/Herrenberg) oder S2 (Richtung Flughafen/Filderstadt) oder S3 (Richtung Vaihingen/ Flughafen) bis zur Station Universität
- über den Ausgang Universitätszentrum 2 Minuten Fußweg zum Tagungshotel – bitte folgen Sie der Beschilderung
- Hinweis: Bitte lassen Sie Ihre Bahn-Fahrkarte bis zur S-Bahn-Station "Universität" in Stuttgart-Vaihingen ausstellen, dann entfällt die Fahrkarte für die S-Bahn.

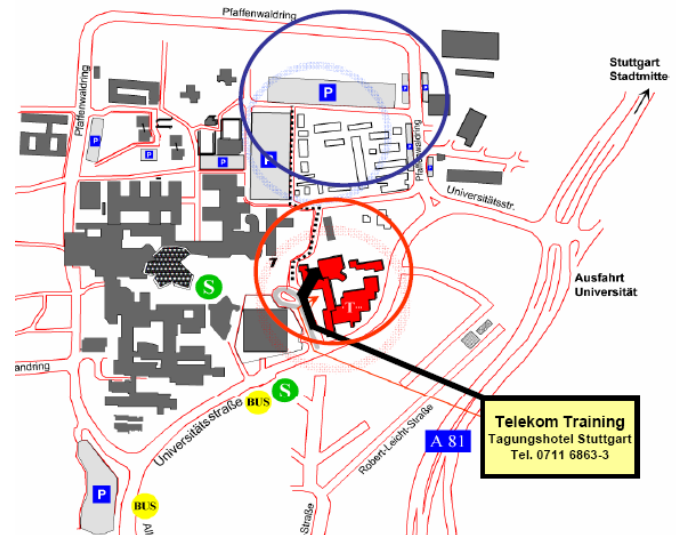
#### Anreise mit dem Flugzeug:

- ab Flughafen Stuttgart (Fahrzeit ca. 17 Min.) S2 (Richtung Schorndorf) oder S3 (Richtung Backnang) zur Station Universität über den Ausgang Universitätszentrum 2 Minuten Fußweg zum Tagungshotel – bitte folgen Sie der Beschilderung



#### Zusätzliche, öffentliche Parkmöglichkeiten:

Sollten die Parkmöglichkeiten in der Tiefgarage des Telekom Tagungshotels belegt sein, finden Sie unweit des Tagungszentrums öffentliche Parkplätze (siehe Skizze).



## Abendveranstaltung

Am 22. September treffen sich die Tagungsteilnehmer um 19:30 Uhr in folgender Lokalität zur Abendveranstaltung:

Alte Kanzlei  
Schillerplatz 5A  
70173 Stuttgart  
Tel.: 0711 29 44 57

Montag 21.09.09		Dienstag 22.09.09		Mittwoch 23.09.09	
08:00		08:30-09:00	Registrierung	08:30-10:00	Eingeladene Vorträge
08:30		09:00-09:15	Eröffnung	10:00-10:30	Kaffeepause
09:00		09:15-10:45	Eingeladene Vorträge	10:30-11:30	Sitzung 4: Platzierung und Verdrahtung
09:30		10:45-11:15	Kaffeepause	11:30-12:15	Eingeladener Vortrag
10:00		11:15-11:45	Eingeladener Vortrag	12:15-13:30	Mittagspause
10:30		11:45-12:45	Sitzung 1: Selbstdiagnose und Selbstreparatur	13:30-15:00	Sitzung 5: Testdurchführung
11:00		12:45-14:00	Mittagspause	15:00-15:30	Kaffeepause
11:30		14:00-14:45	Eingeladener Vortrag	15:30-17:00	Sitzung 6: Anwendungen
12:00		14:45-16:15	Sitzung 2: Analyse von Fehlertoleranz und Robustheit	17:00	Schlusswort
12:30		16:15-17:00	Postersitzung und Kaffee		
13:00		17:00-18:00	Sitzung 3: Variations- und Alterungsanalyse		
13:30					
14:00					
14:30	14:00-15:00				
15:00	Registrierung				
15:30					
16:00	15:00-18:00				
16:30	Tutorien				
17:00					
17:30					
18:00					
18:30					
19:00					
19:30					
		19:30-23:00	Abendveranstaltung		

**Wir danken nachstehenden Unternehmen  
und Institutionen für die Unterstützung  
unserer Veranstaltung**



**Universität Stuttgart**