GMM VDE/VDI-GESELLSCHAFT MIKROELEKTRONIK, MIKROSYSTEM- UND FEINWERKTECHNIK

Programm

ZuE 2015

Zuverlässigkeit und Entwurf
Reliabilty by Design

UNIVERSITÄT SIEGEN

FoKoS ITG ForschungsKollegSiegen

GI

8. GMM/ITG/GI-Fachtagung

Universität Siegen
21. - 23. September 2015

www.zue-konferenz.de

VDI

VDE

ZuE 2015 Zuverlässigkeit und Entwurf: Zwei untrennbare Begriffe

Die Fachtagung „Zuverlässigkeit und Entwurf“ (ZuE) findet 2015 zum achten Mal statt, diesmal in Siegen, wie immer mit Unterstützung der Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf (RSS) der GMM/ITG/GI.
Die aktuellen Anforderungen der modernen Welt sind vielfach in unmittelbarer Weise mit integrierten elektronischen Systemen verbunden. Schlagworte wie Internet of Things, Industrie 4.0, Ambient Assisted Living oder vernetztes autonomes Fahren stehen für Innovationen, die nur durch Mikroelektronik und Mikrosystemtechnik möglich werden. Alle diese Themen sind dadurch gekennzeichnet, dass sie technische Systeme betreffen, die tief in menschliche Arbeits- und Lebensumstände eingreifen. Zuverlässigkeit, Robustheit und Sicherheit der zugrunde liegenden Hard- und Software sind hier in besonderer Weise bedeutsam.
Die Mission der Tagung, Zuverlässigkeit schon in der Phase des Entwerfens moderner integrierter Systeme aus der Sicht der wissenschaftlichen Forschung und der industriellen Praxis gemeinsam zu betrachten, ist damit heute aktueller denn je.
Zu den Themenbereichen der Tagung gehören wieder Fragen zu Entwurfsmethodik, Eingebetteten Systemen, Analogen Schaltungen, Verifikation digitaler Systeme, Beschreibungssprachen und Modellierung, Layoutentwurf, Testmethoden und Diagnose. Die zur Präsentation vorgesehenen Beiträge wurden durch das Programmkomitee nach Begutachtung ausgewählt. Allen an diesem Prozess Beteiligten gilt unser Dank. Zusätzlich wird es eine Special Session aus dem DFG-Schwerpunktprogramm „Dependable Embedded Systems“ geben.
Auch in diesem Jahr wird wieder ein Tutorial auf das Thema einstimmen, diesmal mit dem Titel „Microfluidics meets EDA“. Darüber hinaus wird eine Podiumsdiskussion zum Thema „Sicherheit beim vernetzten Automobil“ Fragen der Zuverlässigkeit und Sicherheit vor dem Hintergrund gesellschaftlicher Auswirkungen betrachten.
Wir wünschen Ihnen eine erfolgreiche und hoffentlich auch ein Stück weit unterhaltsame Tagung mit spannenden Beiträgen und guten Gesprächen.
Wir danken der Universität Siegen, dem Forschungskolleg „Zukunft menschlich gestalten“, der VDE/VDI-Gesellschaft Mikroelektronik, Mikrosystem- und Feinwerktechnik und allen weiteren Mitwirkenden für die Unterstützung bei der Organisation.

Rainer Brück und Kai Hahn
Universität Siegen

Eingeladene Vorträge

Sven Peyer, IBM

Reliability-driven Routing in VLSI Design

We give an overview of techniques in chip routing during the physical design flow which address reliability - a critical aspect in manufacturing process in order to achieve a good yield rate and to reduce the likelihood of failures during chip's life time.

Curriculum Vitae:

Sven Peyer received the Diploma and Ph.D. degrees in mathematics from the University of Bonn, Germany. He is an Advisory Development Engineer at the IBM Germany Research and Development Lab, Boeblingen, Germany, working on algorithmic solutions and methodologies in chip design.

Carl Friedrich Gethmann, U Siegen

Technische Sicherheit und menschliche Zuverlässigkeit - Ethische Aspekte

Wenn ein technisches Gerät oder eine technische Anlage als sicher beurteilt wird, dann wird damit zum Ausdruck gebracht, dass eine vorgegebene Sicherheitskriteriologie erfüllt wird. So verstanden ist Sicherheit ein normativer Begriff, der zur komparativen Beurteilungen (Graden der Sicherheit) von technischen Sachverhalten verwendet wird. Adressaten sind dabei die Konstrukteure, die die Sicherheitskriterien realisieren sollen und die Nutzer, die sich angemessen gegenüber den Kriterien verhalten sollen.

Curriculum Vitae:

Prof. Dr. phil. habil. Dr. phil. h.c., lic. phil. Gethmann ist seit 2013 im FoKoS (Uni Siegen) und ist Inhaber zahlreicher Auszeichnungen.

Peter van Staa, Robert Bosch

Die Zukunft des Autofahrens ist automatisiert – haben wir schon die Designtools dafür?

Die Autoindustrie arbeitet weltweit mit Hochdruck am automatisierten Fahren. Entscheidend für die Akzeptanz der Fahrer und der Versicherungswirtschaft werden die Sicherheit und Zuverlässigkeit des automatisierten Autos sein. Deren Nachweis ist eine Herkulesaufgabe für die Designer der Elektronik – und für die Designtools.

Curriculum Vitae:

Dr. Peter van Staa studierte Physik in Göttingen und Münster und promovierte dort in Halbleiterphysik. Danach Eintritt im Halbleiter-Bereich von Bosch in Reutlingen, wo er zuletzt die Technologieabteilung (HL-Prozesse, AVT, EDA) leitete und die Forschungsvorhaben des Bereichs Automotive Electronics koordiniert.

Eingeladene Vorträge

Ralf Montino, Elmos

Automotive gerechter Testumfang und Rückverfolgbarkeit bei steigendem Kostendruck

Die Kosten für den Test und die Rückverfolgbarkeit von mikroelektronischen Bauelementen fallen nicht in gleichem Maße wie die Kosten für deren Herstellung. Im Umfeld steigender Qualitätsanforderungen und ständigem Preisdrucks sind daher viele Maßnahmen beim automatischen Funktionstest der Bauelemente notwendig.

Curriculum Vitae:

Studium der Physik an der TU Dortmund und der RWTH Aachen. Dr.-Ing. (Fachbereich Elektrotechnik und Informatik) von der Universität Siegen. Bei der Elmos Semiconductor AG beschäftigt seit 1990 in verschiedenen Positionen. Verantwortlich für die Informationstechnologie in der Elmos Gruppe seit 2003.

David Pan, U Texas

Cross-Layer Reliability in Extreme Scaling and Beyond

As the nanometer IC critical dimension enters the era of extreme scaling, reliability challenges are exacerbated. Meanwhile, the vertical scaling with 3D-IC integration and the introduction of new devices such as optical interconnects have gained tremendous interests for "More-than-Moore", but these emerging technologies bring in new reliability challenges. This talk will cover some key challenges and issues in cross-layer reliability in extreme scaling and beyond.

Curriculum Vitae:

David Z. Pan (IEEE Fellow) is Professor at the Univ. of Texas at Austin. He has published over 220 technical papers and holds 8 US patents. Among his many awards are the SRC Technical Excellence Award, DAC Top 10 Author in Fifth Decade and 11 Best Paper Awards.

Olaf Günnewig, SGS Institut Fresenius

Schadensanalytik in der Mikroelektronik

Im Vortrag werden relevante Methoden zur Durchführung von Schadensanalysen an mikroelektronischen Komponenten beschrieben. Nachfolgend werden Beispiele für Untersuchungen an Komponenten aus der Automobilindustrie sowie der Luft- und Raumfahrt vorgestellt.

Curriculum Vitae:

Dr. Olaf Günnewig studierte Physik an der TU Dortmund und promovierte dort über Mikrotomographische Strukturuntersuchungen mit Röntgenquellen und Synchrotronstrahlung. 1997 Gruppenleiter im Qualitätszentrum Dortmund GmbH & Co.KG. Ab 2001 Tätigkeit bei der SGS Institut Fresenius GmbH. Seit 2006 Standortleiter SGS Institut Fresenius GmbH, Dortmund.

Tutorial am Montag, 14:30 h: “Microfluidics Meets Electronic Design Automation”

In recent years, microfluidic biochips have revolutionized traditional biochemical experiments and diagnoses in application fields such as pharmacy, biotechnology and health care. Owing to their exact sample manipulation, economical reagent consumption and miniaturized dimensions, such lab-on-chips have enjoyed a vigorously growing market, reaching about 1.62 billion USD in Europe alone in 2015 according to Frost & Sullivan.
With the increasing system integration, however, microfluidic systems are facing a similar scenario as the semiconductor industry in 1980s and 1990s, when Electronic Design Automation (EDA) tools were introduced to deal with ever increasing circuit complexity. Consequently, biochips and microfluidics have become a field requiring intensive cross-disciplinary research, and the involvement of the EDA community in academia and industry plays a decisive role in fostering a continuing success of this potentially huge market.

In this tutorial, the status of the microfluidic biochip market and current design challenges will be analyzed first. Thereafter, architectures and design automation techniques for various microfluidic biochips will be discussed in detail. These architectures include flow-based biochips that drive fluid segments using micromechanical valves, digital biochips that move droplets with electrowetting force, and emerging architectures such as valve-arrays. The presentations will review the state-of-the-art research and also discuss unsolved problems in scheduling, synthesis, physical design and reliability optimization of such chips.

Ablauf (Pause ca. 16:00 h)

- Opening and Introduction
- Programming and Physical Design Methods for Flow-based Microfluidic Biochips
- EDA for Digital Microfluidic Biochips
- Architectural Exploration of Future Microfluidic Biochips

Moderator:
Prof. **Ulf Schlichtmann**, TU München is head of the Institute for Electronic Design Automation

Prof. **Paul Pop** is an Associate Professor at DTU Compute, Technical University of Denmark. He published on design techniques for biochips.

Dr. habil. **Robert Wille** is with the German Research Center for Artificial Intelligence. His interests are in the design of systems for emerging technologies.

Dr.-Ing. **Bing Li** is a researcher with the Institute for Electronic Design Automation, TUM with interest in (inter alia) the physical design of emerging systems.

Montag, 21. September 2015

14:00	**Registrierung**
	Tutorial „Microfluidics Meets Electronic Design Automation“ **Moderator: U. Schlichtmann (TU München)**
14:30	**Beginn des Tutorials**
18:00	**Ende des Tutorials**
	Abendveranstaltung
19:00	**Stadtrundgang „Siegen zu neuen Ufern“ anschl. Imbiss**

Dienstag, 22. September 2015

8:00	**Registrierung**
8:45	**Tagungseröffnung** R. Brück, K. Hahn, (U Siegen)
8.50	**Grußworte**
	Session 1 **Moderator: J. Lienig (TU Dresden)**
9:00	**Eingeladener Vortrag: „Automotive gerechter Testumfang und Rückverfolgbarkeit bei steigendem Kostendruck“** R. Montino (Elmos)
9:30	**Constraint Propagation Methods for Robust IC Design** A. Krinke (TU Dresden), G. Jerke (Bosch) and J. Lienig (TU Dresden)
9:50	**Symbolic Fault Modeling and Model Counting for the Identification of Critical Gates in Digital Circuits** A. Bernardini, U. Schlichtmann (TU München)
10:10	**3D: Defects and Reliability** M. Wahl, A. Grünewald, K. Hahn, R. Brück (U Siegen)
10:30	**Kaffeepause (30 min)**
	Session 2 **Moderator: J. Schlöffel (Mentor Graphics)**
11:00	**Eingeladener Vortrag: „Schadensanalytik in der Mikroelektronik“** O. Günnewig (SGS-Fresenius)
11:30	**Bond Wire Design with the Bond Calculator** C. C. Jung, C. Silber, J. Scheible (rbz/HS Reutlingen)
11:50	**Analytical model for ideal generic memristor circuits based on the theory of Volterra** A. Ascoli, R. Tetzlaff (TU Dresden)
12:10	**Thermal und mechanical simulations for the improvement of the lifespan of high-integrated systems** A. Heinig, D. Papaioannou (FFhG IIS/EAS, Dresden)
12:30	**Mittagspause** Das Mittagessen findet im Restaurant Gartenhaus statt (Entfernung ca. 150 m)
	Session 3 **Moderator: H. Gräb (TU München)**
13:45	**Eingeladener Vortrag: „Die Zukunft des Autofahrens ist automatisiert – haben wir schon die Designtools dafür?“** P. van Staa (Bosch)
14:15	**Eingeladener Vortrag: „Technische Sicherheit und menschliche Zuverlässigkeit - Ethische Aspekte“** C.F. Gethmann (U Siegen)

Dienstag, 22. September 2015

	Posterausstellung **Moderator: J. Scheible (rbz Reutlingen)**
14:45	**Kurzvorstellung der Poster** (Titel siehe Programmseite)
15:00	**Posterausstellung mit Kaffeepause**
	Podiumsdiskussion **Moderator: R. Schnabel (VDE/GMM)**
15:45	**„Vernetztes Fahrzeug: „Sichere Chips und sichere Daten für den Verkehr von morgen“** Teilnehmer Abdelkarim Belhoula (Continental), Carl Friedrich Gethmann (U Siegen), R. Montino (Elmos), R. Denkelmann (Delphi)
17:00	**Ende des Vortragsprogramms**
	Abendveranstaltung
18:15	**„Siegen im Blick“, Busfahrt zum Oberen Schloß (Museum) anschließend Konferenzdinner im Berghotel Johanneshöhe** Abholung per Bus erfolgt am RAMADA-Hotel

Mittwoch, 23. September 2015

8:30	**Registrierung**
	Session 4 **Moderator: U. Schlichtmann (TU München)**
9:00	**Eingeladener Vortrag: „Reliability-driven Routing in VLSI Design“** S. Peyer (IBM)
9:30	**Stochastic analysis of degradation and variations in CMOS-Transistors** T. Hillebrand, N. Hellwege, N. Heidmann, S. Paul and D. Peters-Drolshagen (U Bremen
9:50	**Cost and Reliability Trade-off during the Development of Heterogeneous 3D-Systems** A. Grünewald, M. Wahl, R. Brück (U Siegen)
10:10	**Yield Analysation and Optimization Methods for Active CMOS Pixels** C. Lindner, C. Soell, J. Roeber, A. Baenisch, R. Weigel (U Erlangen-N.)
10:30	**Kaffeepause (30 min)**
	Session 5 **Moderator: R. Wille (DFKI Bremen)**
11:00	**Eingeladener Vortrag: „Cross-Layer Reliability in Extreme Scaling and Beyond“** D. Pan (U Texas)
	Special Session „Dependable Embedded Systems (SPP 1500)“ **Moderator: H. Vierhaus (BTU Cottbus)**
11:30	**Adaptive multi-layer techniques for increased system dependability** L. Bauer, KIT, Karlsruhe
12.00	**Application-aware cross-layer reliability analysis and optimization** U. Schlichtmann, TU München
12:30	**Verleihung des Best-Paper-Awards der ZuE 2013** J. Schlöffel
12:45	**Verabschiedung** R. Brück, K. Hahn (U Siegen)
13:00	**Mittagspause** Das Mittagessen findet im Restaurant Gartenhaus statt (Entfernung ca. 150 m)
14:30	**Ende der Tagung**

Posterausstellung, Podiumsdiskussion (Dienstag) und Special Session (Mittwoch)

Posterbeiträge

On the Automated Verification of User-defined MBIST Algorithms
J. Kinseher, M. Richter,I. Polian (U Passau)

Abstract Technology Handling for Generator-Based Analog Circuit Design
B. Prautsch, U. Eichler, T. Reich, A. Puppala (FhG IIS/EAS Dresden) J. Lienig (TU Dresden)

Correcting Delay Faults and Transient Faults in Pipelines
S. Scharoba, T. Koal, H. T. Vierhaus (BTU Cottbus)

Extending Microprocessor Trace Hardware for Fault Injection
M. Gunia, M. Zabel, R. G. Spallek (TU Dresden)

Coverage of Uncertainties in Cyber-Physical Systems
W. Chipman, C. Grimm, C. Radojicic (U Kaiserslautern)

Mixed-Signal Multi-Core Circuit Architecture for a Reliable Task Distribution
J. von Rosen, L. Hedrich (U Frankfurt)

Podiumsdiskussion: Vernetztes Fahrzeug - Sichere Chips und sichere Daten für den Verkehr von morgen

Vernetzte Fahrzeuge bilden den nächsten große Innovationszyklus in der Automobiltechnik. Die Fähigkeit der Fahrzeuge untereinander (C2C) bzw. mit der Umgebung (C2I) zu kommunizieren macht sie aber auch angreifbar und erfordert Sicherheitskonzepte für ICs und Daten. Diese Podiumsdiskussion mit Teilnehmern aus verschiedenen Bereichen der Automobiltechnologie, sowie der Wissenschaftsethik versucht die Konsequenzen für Mensch und Technik aufzuzeigen.

Moderator:
Ronald Schnabel, VDE/GMM

Teilnehmer:
Abdelkarim Belhoula, Continental
Reiner Denkelmann, Delphi
Carl Friedrich Gethmann, U Siegen
Ralf Montino, Elmos

Special Session: Dependable Embedded Systems (Schwerpunktprogramm 1500)

This special session gives an overview of the research efforts within the DFG SPP 1500 "Dependable Embedded Systems" which addresses the problem to deal with inherently undependable systems and develops methodologies for error resiliency, accepting that error is inevitable and trading off error rate against performance (e.g. speed, power consumption) in an application-dependent manner".

Organisation:
Jörg Henkel, KIT, Karlsruhe

Vortragende:
Lars Bauer, KIT, Karlsruhe
Ulf Schlichtmann TU München

DFG Deutsche Forschungsgemeinschaft

Programmorganisation

Programmkomitee

- Jürgen **Alt**, Intel Mobile GmbH
- Walter **Anheier**, U Bremen
- Bernd **Becker**, U Freiburg
- Oliver **Bringmann**, U Tübingen
- Manfred **Dietrich**, FhG EAS Dresden
- Rolf **Drechsler**, U Bremen
- Piet **Engelke**, Infineon AG
- Görschwin **Fey**, U Bremen
- Alberto **Garcia-Ortiz**, U Bremen
- Georg **Georgakos**, Infineon AG
- Helmut **Gräb**, TU München
- Christopf **Grimm**, U Kaiserslautern
- Thomas **Harriehausen**, FH Ostfalia
- Lars **Hedrich**, U Frankfurt
- Sybille **Hellebrand**, U Paderborn
- Andreas **Herkersdorf**, TU München
- Jürgen **Kampe**, FH Jena
- Rolf **Kraemer**, IHP Frankfurt/Oder
- Wolfgang **Kunz**, U Kaiserslautern
- Jens **Lienig**, TU Dresden
- Malte **Metzdorf**, OFFIS Oldenburg
- Bernd **Michel**, FhG ENAS Chemnitz
- Steffen **Paul**, U Bremen
- Ralf **Pferdmenges**, Infineon AG
- Frank **Pöhl**, Intel Mobile GmbH
- Ilia **Polian**, U Passau
- Martin **Radetzki**, U Stuttgart
- Steffen **Rülke**, FhG EAS Dresden
- Sebastian **Sattler**, U Erlangen/Nürnberg
- Frank **Schenkel**, Muneda GmbH
- Ulf **Schlichtmann**, TU München
- Jürgen **Schlöffel**, Mentor Graphics GmbH
- Klaus **Schneider**, U Kaiserslautern
- Ronald **Tetzlaff**, TU Dresden
- Reinold **Vahrmann**, AFT GmbH
- Heinrich **Vierhaus**, BTU Cottbus
- Hans-Joachim **Wunderlich**, U Stuttgart

Tagungsleitung

- Rainer **Brück**, U Siegen
- Kai **Hahn**, U Siegen

Tagungsorganisation

- Ronald **Schnabel**, VDE/GMM

Anmeldung zur ZuE 2015

Die Teilnahmegebühr zur ZuE beinhaltet Tagungsunterlagen, Pausengetränke, Mittagessen und Abendveranstaltung. Bitte überweisen Sie die Teilnahmegebühr (unter Angabe der Rechnungsnummer) nach Erhalt der Anmeldebestätigung auf das dort angegebene Konto.
Eine verbindliche Reservierung für die Tagung erfolgt erst nach Eingang Ihrer Zahlung!

Teilnahmegebühren	bis 31.08.2015
Regulärer Teilnehmer.	EUR 350
Hochschulangehöriger oder Vortragender oder VDE-Mitglied.	EUR 300
Student mit Ausweis	EUR 150

Bei Anmeldungen ab dem 01.09.2015 erhöht sich die Teilnahmegebühr jeweils um EUR 70.

Anmeldungen können online, per Fax oder Post erfolgen. Das Anmeldeformular und Informationen zur Tagung sind auf der Website **www.zue-konferenz.de** erhältlich. Die Online-Anmeldung erfolgt ebenfalls über diese Website.

Bei Stornierung bis zum 04.09.2014 erstatten wir die Teilnahmegebühr abzüglich EUR 50 Bearbeitungsgebühr. Später sind keine Erstattungen mehr möglich. Die Teilnahme einer Ersatzperson ist jederzeit möglich.

Tagungsorganisation

Bei Fragen zur Anmeldung wenden Sie sich bitte an:

VDE-Konferenz-Service
Frau Olga Oberländer
Stresemannallee 15
60596 Frankfurt am Main
fon 069 / 6308 317
fax 069 / 6308 144

vde-conferences@vde.com
www.vde.com

Informationen zur Tagung:

VDE/VDI-Gesellschaft Mikroelektronik, Mikrosystem- und Feinwerktechnik
Ansprechpartner:
Dr. Ronald Schnabel
fon 069 / 6308 227
gmm@vde.com

Social Events und Hotelempfehlung

Stadtrundgang Montagabend 19:00 Uhr
Treffpunkt Hotel RAMADA

Mit dem Projekt „Siegen zu neuen Ufern“ erneuert sich städtebaulich das Zentrum von Siegen und bringt innerhalb der nächsten Jahre u.a. den Fluss in der Stadtmitte zur Geltung. Die Sieg war dort jahrzehntelang größtenteils unter Betonplatten verschwunden. In unserem Stadtrundgang wird das Gesamtprojekt erklärt und erste fertiggestellte Bauabschnitte werden besichtigt. Im Anschluss findet ein Imbiss im Restaurant „Zum Alten Weinkeller“ statt.

© Stadt Siegen

Oberes Schloss - Siegerlandmuseum
Dienstagabend 18:15 Uhr
Treffpunkt Hotel RAMADA

Das Obere Schloss in Siegen war im Mittelalter die Stammburg der Nassauer. Seit 1905 beherbergt sie das Siegerlandmuseum mit umfangreichen Sammlungen über das Wirken der Nassauer und Oranier (u.a. als niederländische Monarchen), über Peter Paul Rubens als Sohn der Stadt Siegen und über Bergbau und Eisengewinnung, die für ca. 2000 Jahre die Region prägten.

© Stadt Siegen

Im Anschluss findet das Tagungsdinner im „Berghotel Johanneshöhe“ mit Blick über Siegen statt. Der Transport (Hotel-Museum-Restaurant) findet mit Bussen statt.

© Berghotel JH

Hotelempfehlung in Siegen

RAMADA Hotel Siegen

Einzelzimmer incl. Frühstück	EUR 78

Stichwort ZUE: Ein Zimmerkontigent für o.g. Preis steht bis zum 21.08.15 zur Verfügung

Das 4-Sterne RAMADA Hotel Siegen („Kaisergarten“) liegt zentral nur wenige Gehminuten entfernt von der historischen Altstadt. Das Tagungsgebäude des FoKoS liegt ca. 5 Minuten Busfahrt entfernt (Bus R10, C130, R16 Richtung Weidenau).

RAMADA Hotel Siegen **
Kampenstraße 83
57072 Siegen
fon: +49 271 5011-0
fax: +49 271 5011-150
siegen@h-hotels.com

Siegen in Südwestfalen

Die Universitätsstadt Siegen liegt nordwestlich des Dreiländerecks Nordrhein-Westfalen – Hessen – Rheinland-Pfalz und hat annähernd 100.000 Einwohner. Sie ist die Geburtsstadt des berühmten Barockmalers Peter Paul Rubens. In neuerer Zeit ist Siegen geprägt durch Erzbergbau und Metallverarbeitung. Die Universität Siegen mit ihren fast 20.000 Studierenden ist eine der 17 Universitäten des Landes Nordrhein-Westfalen und hat eine starke Ausrichtung auf Ingenieur- und Natur- sowie Erziehungswissenschaften.

© Stadt Siegen

Tipps zur Anfahrt

Bahnanreise:

Aus Richtung Köln / Gießen / Frankfurt a. M. kommend:

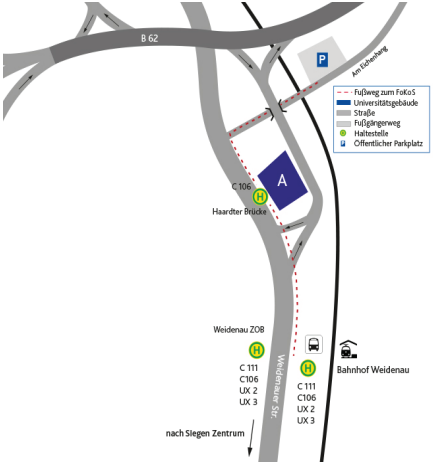
Nehmen Sie den Zug bis zum Bahnhof Siegen. Davor befindet sich der Busbahnhof. Von hier fahren zahlreiche Buslinien bis Siegen-Weidenau-ZOB (R10, R27, R51, C130 u.a.)

Aus Richtung Essen / Hagen kommend:

Nehmen Sie den Zug ab Essen bzw. Hagen Richtung Siegen. Steigen Sie an der vorletzten Station Siegen-Weidenau aus. Vom (Bus-) Bahnhof Siegen-Weidenau sind es 3-5 Minuten zu Fuß bis zum Gebäude des FoKoS

Anbindung mit dem PKW

Aus Richtung Norden kommend A45/A4 Kreuztal: Ausfahrt der B54 / B62 „SI-Weidenau“ nehmen. Aus Richtung Süden kommend A45/ Siegen: Ausfahrt der B54/B62 „SI-Sieghütte/ Siegerlandzentrum“ nehmen.Besucherparkplätze befinden sich an der Straße „Am Eichenhang“ hinter dem Bahnübergang auf der linken Seite.

Tagungsadresse

Universität Siegen - Forschungskolleg „Zukunft menschlich gestalten“ (FoKoS)
Weidenauer Straße 167
57076 Siegen.