ITG INFORMATIONSTECHNISCHE GESELLSCHAFT IM VDE

GMM VDE/VDI-GESELLSCHAFT MIKROELEKTRONIK, MIKROSYSTEM- UND FEINWERKTECHNIK

ZuE 2017

9. ITG/GMM/GI-Fachtagung

18.-20. September 2017 in Cottbus **www.ZuE2017.de**

Call for Papers

Zuverlässigkeit und Entwurf

Die Entwurfstechnologie für komplexe Hardware-/Software-Systeme steht vor neuen Herausforderungen, z. B. durch autonom operierende Fahrzeuge und das „Internet der Dinge“. Sie muss nicht nur die zuverlässige Funktion von „Cyber-Physikalischen Systemen“ gewährleisten, wozu in stark zunehmendem Maße auch Aspekte der Sicherheit gehören, sondern oftmals auch eine abgesicherte Funktion unter unvorhergesehenen Fehlerbedingungen beispielsweise durch „error resilience“ über alle Systemebenen vorsehen, und dies oft auch noch in engen Grenzen bei der zulässigen Verlustleitung. Dabei spielt die enge Integration von Sensoren, Aktoren, analoger und digitaler Hardware und Software eine entscheidende Rolle, auch und gerade im Hinblick auf Anwendungen im Bereich „Industrie 4.0“. Die Fachtagung „Zuverlässigkeit und Entwurf“ (ZuE) 2017 in Cottbus, organsiert mit Unterstützung der Kooperationsgemeinschaft *Rechnergestützter Schaltungs- und Systementwurf* (RSS) der ITG/GMM/GI, versucht Wege zur Beherrschung dieser Herausforderungen aufzuzeigen. Dabei sind Beiträge aus Universitäten und Forschungseinrichtungen genau so erwünscht wie Einreichungen aus der Industrie.

b-tu Brandenburgische Technische Universität Cottbus - Senftenberg

Zu den folgenden Themen und auch verwandten Bereichen laden wir ein, Beiträge aus Wissenschaft und industrieller Praxis einzureichen:

- Robuster Entwurf und Fertigungsschwankungen
- Zuverlässigkeit und Fehlertoleranz
- Synthese für Zuverlässigkeit und Ausbeute
- Heterogene Multi-Domain Systeme
- Methoden für die Systemintegration (2,5 und 3D-Layoutentwurf)
- Anforderungen zuverlässiger Systeme
- Test komplexer und heterogener Systeme
- Systemzuverlässigkeit beim Hardware/Software-Codesign
- HW/SW-Integration
- Sicherheit eingebetteter und verteilter HW/SW-Systeme
- Neue Bauelemente und Technologien
- Verfügbarkeitsgarantien bei Degradation
- Architekturen für Multiprozessorsysteme
- Entwurf und Verifikation von analogen und gemischt analog/digitalen Schaltungen
- Analoge Schaltungstechniken für neue Technologien
- Seitenkanalangriffe

ihp innovations for high performance microelectronics

philotech

Wir freuen uns auf die Einreichung Ihres Beitrags und hoffen Sie in Cottbus begrüßen zu dürfen.

Heinrich T. Vierhaus und Rolf Kraemer

VDI GI VDE

ITG INFORMATIONSTECHNISCHE GESELLSCHAFT IM VDE

GMM VDE/VDI-GESELLSCHAFT MIKROELEKTRONIK, MIKROSYSTEM- UND FEINWERKTECHNIK

ZuE 2017

9. ITG/GMM/GI-Fachtagung

Wichtige Termine

Einreichung der Beiträge:
~~15. Mai 2017~~
29. Mai 2017

Benachrichtigung der Autoren:
10. Juli 2017

Einreichung der endgültigen Fassung:
01. August 2017

Anmeldung zur Fachtagung:
01. September 2017

Einreichung von Beiträgen

Die Fachtagung findet in deutscher Sprache statt. Es sind jedoch englischsprachige Beiträge und Vorträge willkommen. Die Beiträge sollten bis zu 8 DIN A4-Seiten umfassen. Formatvorlagen und die Autorenvereinbarung sind unter **www.zue2017.de** zu finden. Die angenommenen Beiträge werden in einem zitierfähigen Tagungsband, englischsprachige Beiträge zudem über **IEEE Xplore®** veröffentlicht.

Es sind Vorträge mit anschließender Diskussion sowie Posterpräsentationen vorgesehen.

Tagungsort

Brandenburgische Technische Universität
Cottbus-Senftenberg
Konrad-Wachsmann-Allee 5
03046 Cottbus

Tagungsleitung

Heinrich T. Vierhaus
BTU Cottbus-Senftenberg

Rolf Kraemer
BTU Cottbus-Senftenberg/ IHP GmbH

Vorsitz des Programmkomitees

Mario Schölzel
Universität Potsdam/ IHP GmbH

Milos Krstic
Universität Potsdam/ IHP GmbH

Lokale Organisation

Christian Gleichner
BTU Cottbus-Senftenberg

Kathleen Galke
BTU Cottbus-Senftenberg

Die aktuellen Informationen zur Tagung finden Sie unter

www.zue2017.de

Programmkomitee

J. Alt, Intel, München
W. Anheier, Universität Bremen
B. Becker, Universität Freiburg
O. Bringmann, Universität Tübingen
R. Brück, Universität Siegen
M. Dietrich, Fraunhofer IIS/EAS, Dresden
R. Drechsler, Universität Bremen
P. Engelke, Infineon Technologies AG, München
G. Fey, Universität Bremen/ DLR
G. Georgakos, Infineon Tech. AG, München
M. Gössel, Universität Potsdam
H. Gräb, TU München
C. Grimm, TU Kaiserslautern
K. Hahn, Universität Siegen
T. Harriehausen, Ostfalia HS, Wolfenbüttel
L. Hedrich, Universität Frankfurt
S. Helke, BTU Cottbus-Senftenberg
S. Hellebrand, Universität Paderborn
A. Herkersdorf, TU München
P. Hofstedt, BTU Cottbus-Senftenberg
J. Kampe, Fachhochschule Jena
R. Kraemer, IHP GmbH, Frankfurt/Oder
M. Krstic, IHP GmbH, Frankfurt/Oder
W. Kunz, Universität Kaiserslautern
J. Lienig, TU Dresden
B. Michel, Fraunhofer ENAS, Chemnitz
S. Paul, Universität Bremen
I. Polian, Universität Passau
M. Radetzki, Universität Stuttgart
S. Rülke, Fraunhofer IIS/EAS, Dresden
S. Sattler, Universität Erlangen-Nürnberg
M. Sauer, Universität Freiburg
U. Schlichtmann, TU München
J. Schlöffel, Mentor Graphics, Hamburg
K. Schneider, TU Kaiserslautern
M. Schölzel, IHP GmbH, Frankfurt/Oder
A. Steininger, TU Wien
R. Tetzlaff, TU Dresden
H. T. Vierhaus, BTU Cottbus-Senftenberg
H.-J. Wunderlich, Universität Stuttgart