

TuZ 2016

Sonntag , 6. März 2016

Brasserie am Unteren Schloss¹

17:00 – 21:00 Anreise, Registrierung

18:00 – 20:00 Abendessen

20:00 – 21:00 Sitzung der Fachgruppe

Montag, 7. März 2016

Haus der Siegerländer Wirtschaft²

9:00 – 10:00 Keynote

Sitzungsleitung: Jürgen Alt, Intel Mobile Communications GmbH

The Hype, Myths, and Realities of Testing 2.5D/3D Integrated Circuits

Krishnendu Chakrabarty

Duke University, USA

10:00 – 10:30 Kaffeepause

10:30 – 12:00 Sitzung 1: Design for Testability

Sitzungsleitung: Ilija Polian, University of Passau

On Improving Test Point Insertion using Fault Classification Results

Daniel Tille¹, Daniel Thangaraj Stanley¹, Ulrike Pfannkuchen¹, Helmut Graeb², Ulf Schlichtmann²

¹Infineon Technologies AG, ²Technische Universität München

A Lightweight X-Masking Architecture for Low-Pin-Count Scan Test

Daniel Tille, Ulrike Pfannkuchen

Infineon Technologies AG

Leichtgewichtige Datenkompressions-Architektur für IEEE-1149.1-kompatible Testschnittstellen

Sebastian Huhn, Stephan Eggersgluß, Rolf Drechsler

Universität Bremen und DFKI GmbH

12:00 – 13:30 Mittagessen

¹ Beschreibung auf der letzten Seite

² Beschreibung auf der letzten Seite

13:30 – 15:00 Sitzung 2: Automatische Testmustergenerierung

Sitzungsleitung: Melanie Schillinsky, NXP Semiconductors Germany GmbH

Eliminierung von energieunsicheren Tests in kompakten Testmengen

Stephan Eggersgluß

Universität Bremen und DFKI GmbH

Effective Generation and Evaluation of Diagnostic SBST Programs

Andreas Riefert¹, Riccardo Cantoro², Matthias Sauer¹, Matteo Sonza Reorda², Bernd Becker¹

¹Universität Freiburg, ²Politecnico di Torino

Clock Cycle Aware Encoding for SAT-based Circuit Initialization

Matthias Sauer¹, Sven Reimer¹, Daniel Tille², Karsten Scheibler¹, Dominik Erb¹, Ulrike Pfannkuchen², Bernd Becker¹

¹Universität Freiburg, ²Infineon Technologies AG

15:00 – 16:00 Postersitzung und Kaffeepause

Testschaltung für MEMS Inertialsensoren Auswerte-ASIC

Roman Paris, Peter Kornetzky, Jenny Klaus

Institut für Mikroelektronik- und Mechatronik- Systeme gemeinnützige GmbH, Ilmenau

Hochtemperatur-Wafertest bis 300°C

Marco Reinhard, Ingo Gryl, Ulrich Liebold, André Richter, Institut für Mikroelektronik- und Mechatronik- Systeme gemeinnützige GmbH, Ilmenau

IEEE P1838 – Testing in the 3D World. Status report of the IEEE standardization group.

Michael Wahl, Universität Siegen

Test Pattern Retargeting in 3D SICs Using an IEEE P1687 based 3DFT architecture

Yassine Fkih^{1,2}, Pascal Vivet¹, Bruno Rouzeyre², Marie-Lise Flottes², Giorgio Di Natale², Jürgen Schlöffel³

¹CEA-Leti, Grenoble, ²LIRMM, Montpellier, ³Mentor Graphics, Hamburg

Evaluation of IHP SGB25V Technology and Libraries for Space Applications

Milos Krstic, Maurizio Cirillo, Vladimit Petrovic

IHP Frankfurt (Oder)

Manufacturing Testing and Fault-tolerance of Secure Devices

Lejla Batina¹, Bernd Becker², Giorgio Di Natale³, Marie-Lise Flottes³, Said Hamdioui⁴, Nele Mentens⁵, Ilija Polian⁶, Bruno Rouzeyre³

¹University of Nijmegen, The Netherlands, ²University of Freiburg, Germany, ³LIRMM, Montpellier, France, ⁴Technical University of Delft, The Netherlands, ⁵KU Leuven, Belgium, ⁶University of Passau, Germany

16:00 – 17:00 Sitzung 3: Testanwendung

Sitzungsleitung: Andreas Hellebrand, Robert Bosch GmbH

Production Test Voltage Guard-Band Determination considering Process Variations

Gurunath Kadam^{1,2}, Markus Rudack¹, Jürgen Alt¹

¹Intel Deutschland, ²Technical University of Darmstadt

Improving SRAM Test Quality by Leveraging Self-timed Circuits

Josef Kinseher¹, Leonardo B. Zordan², Ilija Polian³, Andreas Leininger³

¹Intel Mobile Communications Neubiberg, ²Intel Mobile Communications Sophia-Antipolis, ³University of Passau

17:30 – 19:30 Abendveranstaltung, anschließend Abendessen im Haus der Siegerländer Wirtschaft

Dienstag, 8. März 2016

Haus der Siegerländer Wirtschaft

9:00 – 10:00 Sitzung 4: Fehlererkennung

Sitzungsleitung: Daniel Tille, Infineon Technologies AG

Online Monitoring of NBTI and HCD in Beta-Multiplier Circuits.

Theodor Hillebrand, Nico Hellwege, Steffen Paul, Dagmar Peters-Drolshagen
Universität Bremen

Architektur mit reduzierter Komplexität zur Erkennung und Korrektur von transienten Fehlern in kombinatorischer und sequentieller Logik.

Stefan Weidling¹, Milos Krstic², Vladimir Petrovic², Egor Sogomonyan¹
¹Universität Potsdam, ²IHP Frankfurt (Oder)

10:00 – 10:30 Kaffeepause

10:30 – 11:30 Sitzung 5: Robustheit

Sitzungsleitung: Michael Wahl, Universität Siegen

Softwarebasierte Fehlertoleranz für Flash-Speicher von mikrocontroller-basierten Systemen

Felix Mühlbauer¹, Patryk Skonieczny^{2,3}, Mario Schölzel^{1,2}

¹Universität Potsdam, ²IHP Frankfurt (Oder), ³Brandenburgisch-Technische Universität Cottbus-Senftenberg

A Hybrid Algorithm to Conservatively Check the Robustness of Circuits

Niels Thole^{1,2}, Lorena Anghel³, Görschwin Fey^{1,2}

¹Universität Bremen, ²DLR Bremen, ³TIMA Grenoble

11:30 – 12:00 Kaffeepause

12:00 – 12:45 Eingeladener Vortrag

Sitzungsleitung: Piet Engelke, Infineon Technologies AG

Security & Test – A Major Challenge for Designers

Tim Güneysu

Universität Bremen

12:45 – 13:00 Schlussbemerkungen, Ankündigung TUZ 2017

13:00 – 14:30 Mittagessen, anschließend Abreise

14:30 – 16:00 Führung 'Siegen zu neuen Ufern' - ein kleiner Rundgang durch die Stadt

