

GMM

VDE/VDI-GESELLSCHAFT
MIKROELEKTRONIK, MIKROSYSTEM-
UND FEINWERKTECHNIK

ITG

INFORMATIONSTECHNISCHE
GESELLSCHAFT IM VDE

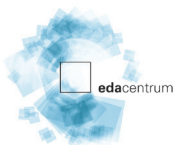


PROGRAMM

Zuverlässigkeit und Entwurf

4. GMM/GI/ITG-Fachtagung

13. - 15. September 2010
Bildungszentrum Wildbad Kreuth



www.ZuE2010.de



VDE

Vorwort

Zuverlässigkeit und Entwurf 2010

Die Fachtagung „Zuverlässigkeit und Entwurf“ (ZuE) wird 2010 in Wildbad Kreuth mit besonderer Ausrichtung auf neue technologische Herausforderungen mit Unterstützung der Kooperationsgemeinschaft Rechnergestützter Schaltungs- und Systementwurf (RSS) der GI/GMM/ITG durchgeführt. Zu diesen Herausforderungen gehören beispielsweise Entwurf und Test fehlertoleranter und sicherheitskritischer Schaltungen und Systeme, Robustheitsprüfungen von digitalen und analogen Systemen und ihre Verifikation, Alterung und Verfahren der Selbstreparatur.

Mikroelektronik wird vermehrt in *eingebetteten, autonomen* und so genannten „*Cyber Physical*“ Systemen eingesetzt, die unmittelbar mit Mensch und Umwelt kommunizieren. Ihr Betrieb ohne direkten menschlichen Eingriff stellt damit besonders hohe Anforderungen an die Zuverlässigkeit der Informationsverarbeitung in Hard- und Software im gesamten *Lebenszyklus*. Zugleich hat die Sicherstellung der Zuverlässigkeit zentrale wirtschaftliche Aspekte, die von der *Qualitätssicherung* bis zur *Produkthaftung* reichen. Dem steht gegenüber, dass bei weiter sinkenden Strukturgrößen in der Mikroelektronik die gefertigten elementaren Komponenten wie Transistoren und Leitungen über einen sehr großen Parameterbereich variieren.

Damit besteht dringender Bedarf an innovativen Verfahren, um die Ausbeute, Zuverlässigkeit und Diagnosefähigkeit von mikro- und nano-elektronischen Systemen durch Fehlertoleranz, integrierte Reparaturmechanismen und Diagnosehilfsmittel zu gewährleisten und ihre Qualität durch entsprechende Entwurfs-, Verifikations- und Testverfahren über alle Systemebenen sicher zu stellen. Diese Verfahren müssen sowohl Fertigungsfehler und Parameterschwankungen als auch Störungen während des Betriebs kompensieren können.

Diese Themen werden im vorliegenden Programm intensiv behandelt. Tutorials von ausgewiesenen nationalen und internationalen Experten, eingeladene Vorträge

aus der Industrie und Berichte aus aktuellen Forschungsarbeiten bilden insgesamt ein hochkarätiges Programm, zu dem wir Sie gerne vom 13.09. bis 15.09.2010 in Wildbad Kreuth begrüßen würden.

Sebastian Sattler
Universität Erlangen-Nürnberg
Tagungsleiter

Hans-Joachim Wunderlich
Universität Stuttgart
Vorsitzender des Programmkomitees

Inhaltsverzeichnis

Veranstalter / Informationen zur Tagung	.5
Tagungsleiter	.5
Organisationskomitee	.5
Programmkomitee	.6
Programm zur Fachtagung	.8
Tutorials	.8
Eingeladene Vorträge	.10
Montag, 13.09.2010	.14
Dienstag, 14.09.2010	.15
Mittwoch, 15.09.2010	.18
Allgemeine Hinweise	.21
Tagungsorganisation	.21
Anmeldung	.21
Teilnahmegebühren	.21
Bezahlung der Teilnahmegebühr	.22
Stornierung	.22
Telefonische Erreichbarkeit	.22
Tagungsort	.23
Zimmerreservierungen	.23
Anreise	.23
Naturerlebnis	.24
Abendveranstaltung	.24

Veranstalter Informationen zur Tagung

VDE/VDI-Gesellschaft Mikroelektronik, Mikrosystem-
und Feinwerktechnik (GMM)

ITG (Informationstechnische Gesellschaft im VDE)

Stresemannallee 15, 60596 Frankfurt am Main
☎ +49 (0)69-6308-227 📠 +49 (0)69-6308-9828
E-Mail: gmm@vde.com

Homepage der Veranstaltung: www.ZuE2010.de

Tagungsleiter Vorsitzender des Programmkomitees

Sebastian Sattler, Friedrich-Alexander-Universität Erlan-
gen-Nürnberg (Tagungsleiter)

Hans-Joachim Wunderlich, Universität Stuttgart
(Vorsitzender des Programmkomitees)

Organisationskomitee

Bernd Becker	Universität Freiburg
Oliver Bringmann	FZI, Karlsruhe
Manfred Dietrich	FhG-IIS/EAS, Dresden
Kai Hahn	Universität Siegen
Lars Hedrich	Universität Frankfurt/Main
Sybille Hellebrand	Universität Paderborn
Andreas Herkersdorf	Technische Universität München
Volker Schanz	VDE/ ITG, Frankfurt/Main
Jürgen Schlöffel	Mentor Graphics Development GmbH, Hamburg
Ronald Schnabel	VDE/VDI-GMM, Frankfurt/Main
Norbert Wehn	Universität Kaiserslautern

Programmkomitee

U. Abelein AUDI AG, Ingolstadt
W. Anheier Universität Bremen
M. Brandstetter Robert Bosch GmbH, Stuttgart
R. Brück Universität Siegen
K. Buchenrieder Universität BW, München
F. Dietz Telefunken Semiconductors GmbH
 & Co KG, Heilbronn
S. Eichenberger NXP Semiconductors B.V., Nijmegen,
 Niederlande
R. Ernst Technische Universität Braunschweig
G. Fey Universität Bremen
M. Fischer Verigy Germany GmbH, Böblingen
G. Georgakos Infineon Technologies AG, Neubiberg
W. Glauert Universität Erlangen-Nürnberg
H. Gräß Technische Universität München
C. Grimm Universität Wien
Th. Harriehausen FH Braunschweig/Wolfenbüttel
K. Helmreich Universität Erlangen-Nürnberg
T. Hötzel Atmel Automotive GmbH, Heilbronn
J. Kelber Fachhochschule Schmalkalden
W. Kunz Universität Kaiserslautern
J. Lienig Technische Universität Dresden
B. Michel FhG-IZM, Berlin
K. Müller-Glaser Universität Karlsruhe
W. Nebel OFFIS e.V., Oldenburg
F. Oppenheimer OFFIS e.V., Oldenburg
R. Pferdmeniges Infineon Technologies AG, Neubiberg
M. Pfof Infineon Technologies AG, Neubiberg
F. Pöhl Infineon Technologies AG, Neubiberg
I. Polian Universität Passau
M. Porrmann Heinz-Nixdorf-Institut, Paderborn
M. Radetzki Universität Stuttgart
M. Reuter Mentor Graphics Deutschland
 GmbH, München
J. Rivoir Verigy Germany GmbH, Böblingen
J. Scheible Robert Bosch GmbH, Reutlingen
F. Schenkel MunEDA GmbH, München
U. Schlichtmann Technische Universität München
K. Schneider Universität Kaiserslautern
V. Schöber edacentrum GmbH, Hannover
P. Schwarz FhG-IIS/EAS, Dresden
C. Sebeke Robert Bosch GmbH, Reutlingen

R. Sommer IMMS gGmbH, Ilmenau
A. Steininger Technische Universität Wien
J. Teich Universität Erlangen-Nürnberg
R. Vahrman Atmel Automotive GmbH, Heilbronn
H. Vierhaus Brandenburgische Technische
 Universität Cottbus
R. Wagner Robert Bosch GmbH, Reutlingen
T. Winkovich Siemens AG, Erlangen
B. Wittig Volkswagen AG, Wolfsburg
H.-J. Wunderlich Universität Stuttgart

Tutorial A

Moderation: C. Grimm, Technische Universität Wien, Österreich

Heterogene Integration – Anforderungen an Modellierung und Lösungsansätze

P. Schneider, U. Knöchel, FhG-IIS/EAS, Dresden

Die Heterogene Integration durch 3D-Stapelung von Dies oder durch Integration auf einem Substrat im SiP erlaubt es, Systeme mit unterschiedlichen Baugruppen (z.B. Prozessoren, Analogelektronik und Sensoren) auf engstem Raum zu realisieren. Vorteile sind neben der Miniaturisierung auch Energieeinsparung, Performanzverbesserungen und ein hoher IP-Schutz. Der Entwurf dieser Systeme stellt hohe Anforderungen an die Entwurfsmethodik, da durch die dichte Integration der Dies Wechselwirkungen zwischen den einzelnen funktionalen Blöcken berücksichtigt werden müssen, die Einfluss auf Leistungsfähigkeit und Zuverlässigkeit der Systeme haben. Das sind u.a. elektromagnetische Verkopplungen zwischen Dies und an Interconnect-Strukturen (TSVs, Bonddrähte etc.), thermische und elektrothermische Effekte sowie und thermisch-mechanischer Stress im 3D-Chip-Stapel. Diese Effekte können einzeln und in räumlich begrenzten Bereichen des Systems mit FEM-Methoden analysiert werden, zur Betrachtung im Systemkontext ist jedoch die Entwicklung kompakter Modelle erforderlich. Es wird gezeigt, wie mittels eines hierarchischen Modellierungsansatzes, Verfahren der Modell-Order-Reduktion und Methoden zur Modellextraktion multi-physikalische Effekte in der Schaltungs- und Systemsimulation berücksichtigt werden können.

Tutorial B

Moderation: A.-P. Fonseca-Müller, Robert Bosch GmbH, Reutlingen

Getting the Best out of Current Testing

H. Manhaeve, Q-Star Test, Brügge, Belgien

Increasing quality and cost reduction demands require a close interaction between the Design & Test departments to reach the target product quality at the lowest cost. To achieve these targets a proper understanding of the different aspects that make up the product development flow, looked at from both the design and test perspective, is mandatory. An equally important factor is the establishment of a proper interaction between the design and test teams. This requires that the design teams have knowledge on the test capabilities and limitations, enabling the proper introduction of design-for-test methodologies and the fruitful execution of test preparation tasks, that the test teams and project managers are aware of the impact of certain design-for-test strategies on the design work and that all are aware of the impact of certain design-for-test and test preparation actions on the ability to optimize the test and overall product flow.

The objective of this tutorial is to provide the proper knowledge on how IDDX test application can help to reach this goal. It will address the prerequisites from a design perspective. It will equally address the application considerations from a test perspective. The tutorial will also focus on how IDDX can help to bridge the gap between Design and Test and provide a better understanding of the factors involved in reaching an optimized cost - quality level.

Eingeladene Vorträge

Wafer Level Reliability Screens and Adaptive Test

P. Maxwell, Aptina Imaging, San José, CA, USA

This presentation discusses test methods and voltage stress approaches required to ensure cost effective defect screening to produce high quality, reliable products. With process variation having ever increasing significance, and design cannot completely compensate, test methods must deal with the variation. Adaptive test is being increasingly adopted to ensure high quality and reliability at a cost that cannot be achieved with traditional static testing. Statistical based outlier screening methods will be discussed in the context of adaptive test, together with the use of voltage stress. Additional benefits of adaptive test will be discussed, such as improved yield learning and test floor efficiency.

Standards und Sicherheitsstrategien im Automobilsektor

W. Wolz, DTC Design & Test Consulting, Neunkirchen

Ergänzend zu Fortschritten bei passiver Sicherheit im Automobilbau werden in Zukunft autonome Steuerungssysteme zur Steigerung der aktiven Sicherheit großen Raum einnehmen. Sicherheitsorientierte Systeme werden durch Brems- und Lenkeingriffe Gefahrensituationen frühzeitig entschärfen. Für die Entwicklung von Steuergeräten sind damit solche Standards, Normen und Richtlinien erforderlich, die eine vom Zulieferer unabhängige Bewertung des erzielten Sicherheitsgrades derart sicherheitskritischer Systeme ermöglichen. Im Rahmen des Beitrags werden die benötigten Standards und Normen für eine qualitätsgesicherte Entwicklung automobiler Systeme skizziert und derzeit eingesetzten Qualifizierungsverfahren gegenübergestellt.

Zuverlässigkeit beim Entwurf softwarebasierter sicherheitsrelevanter Systeme

S. Kriebel, G. Strobl, BMW AG, München

Softwarebasierte sicherheitsrelevante Systeme im Automobil gewinnen weiterhin rasch zunehmend an Bedeutung. Zum einen liegt dies an der stetig zunehmenden Komplexität von Funktionen, zum anderen an deren ebenfalls stark zunehmenden Vernetzung. Die Beherrschung der Vernetzung komplexer Funktionen durch den OEM ist bekanntermaßen die Voraussetzung für eine agile Entwicklung stabiler sicherheitsrelevanter Systeme. Die geforderte Zuverlässigkeit dieser meist softwarebasierten Systeme muss aus Gründen der Wirtschaftlichkeit in der Wertschöpfungskette Entwicklung-Produktion-Service bereits in einem frühzeitigen kooperativen Entwurf von Funktion, Software und Hardware berücksichtigt werden. Hieraus lässt sich die große Bedeutung der Entkoppelung von Software- und Hardware für den OEM ableiten. Für einen OEM basiert die Beherrschbarkeit somit nicht nur auf einer vollständigen Funktionsarchitektur, sondern für eine wiederverwendbare und dadurch kosteneffiziente Softwareentwicklung auch auf einer vollständigen (statischen und dynamischen) Softwarearchitektur, so wie der bereits etablierten Bordnetzarchitektur. Um dies industriell sinnvoll zu gestalten, muss die zugrundeliegende Softwarearchitektur die Trennung von funktionsnaher Applikationssoftware und hardwarenaher Basissoftware anhand einer industriell standardisierten Schnittstelle gewährleisten. Nur auf diese Weise kann verteilt entwickelte Software auf verteilt entwickelte Steuergeräte sicher und wirtschaftlich eingebracht werden. Die kosteneffiziente Erfüllung der Anforderungen an die Zuverlässigkeit von softwarebasierten sicherheitsrelevanten Systemen erfordert in diesem Kontext eine kooperative Entkoppelung des Entwurfs von funktionsnaher Applikationssoftware, hardwarenaher Basissoftware und der Hardware selbst, auf die in der Präsentation eingegangen wird.

Innovative Testlösungen für Automotive Halbleiter

H. Kuhn, Infineon Technologies AG, Regensburg

Gestiegene Anforderungen an heutige Produkte als auch erweiterte Qualitätsansprüche bei erhöhtem Kostendruck erfordern neue Teststrategien und Testlösungen in der Halbleiterindustrie. Der zusätzliche Bedarf aus den Bereichen Burn-In und Verwurfsmethoden (Screening) nimmt hier eine neue Vorreiterrolle bei der Realisierung von innovativen Lösungen ein. Insbesondere vor dem Hintergrund einer ausgewiesenen "Automotiv-" Qualität wird die reproduzierbare und zuverlässige Handhabung von eingebauten Testfähigkeiten (Built in Test Equipment - BITE) zum entscheidenden Kostenhebel und Differenzierungsmerkmal neuer konkurrenzfähiger Halbleiterprodukte. Integrierte Lösungen mit erweiterten Funktionen des Selbsttests (Built-In Self-Test - BIST) und der intelligenten Verteilung von Testressourcen (Test Ressource Partitioning) entlang der Produktqualifizierung spielen zunehmend eine gewichtige Rolle. Es werden neuste Lösungen und erste Prototypen vorgestellt, und deren künftige Anwendungsbereiche aufgezeigt. Aufbauend darauf wird diskutiert, welche Randbedingungen und Innovationen dazu noch nötig sind.

Importance of Design Quality within a Challenging Automotive Innovation Environment

T. Hötzel, Atmel Automotive GmbH, Heilbronn

Process and Environment-Adaptive "Self-Aware" Communications Systems

A. Chatterjee, School of Electrical and Computer Engineering, Georgia Institute of Technology, Atlanta, GA, USA

CMOS technology scaling along with the resulting large variability of circuit performance has made post-silicon circuit and algorithmic level built-in test and adaptation/tuning almost a necessity for deeply scaled technologies. Currently, circuits are designed to tolerate worst-case process corners. In addition, circuits as well as

demodulation/signal processing algorithms must be designed for worst case operating conditions (e.g. environmental noise). This forces designers to excessively guard band their circuits while using "aggressive" back-end algorithms to support the end application, resulting in unacceptable power-performance-yield tradeoffs. One way to tackle this problem is to design circuits and relevant signal processing algorithms that are self-aware and can adapt to environmental operating conditions and process variations to conserve power while maximizing yield and reliability. Such self-awareness involves incorporation of built-in test, diagnosis and tuning/adaptation mechanisms into the circuits and systems concerned. A key issue is that of test, diagnosis and tuning of complex circuit and system-level parameters that must be evaluated and traded off against one another during the adaptation process without access to complex external test instrumentation. This talk summarizes recent results obtained in the design of self-aware wireless communications systems and points to directions for future work in this area.

Montag, 13. September 2010

13:00-14:00 Registrierung

14:00-17:00 Tutorial A

Moderation: C. Grimm, Technische Universität Wien, Österreich

Heterogene Integration - Anforderungen an Modellierung und Lösungsansätze

P. Schneider, U. Knöchel, FhG-IIS/EAS, Dresden

14:00-17:00 Tutorial B

Moderation: A.-P. Fonseca-Müller, Robert Bosch GmbH, Reutlingen

Getting the Best out of Current Testing

H. Manhaeve, Q-Star Test, Brügge, Belgien

17:00-19:30 Naturerlebnis in der Wolfsschlucht

ab 19:30 Get Together

Dienstag, 14. September 2010

08:00-08:30 Registrierung

08:30-10:15 Eröffnung und Eingeladene Vorträge

Moderation: U. Schlichtmann, Technische Universität München

Wafer Level Reliability Screens and Adaptive Test

P. Maxwell, Aptina Imaging, San José, CA, USA

Best Paper Award ZuE 2009

Präsentation: S. Sattler, Friedrich-Alexander-Universität Erlangen-Nürnberg; R. Schnabel, VDE/VDI-GMM, Frankfurt/Main

Standards und Sicherheitsstrategien im Automobilsektor

W. Wolz, DTC Design & Test Consulting, Neunkirchen

10:15-10:45 Kaffeepause

10:45-12:15 Sitzung 1: Robustheit

Moderation: W. Hoppe, Rheinmetall Technical Publications GmbH, Bremen; E. Hennig, IMMS gGmbH, Ilmenau

- **Robustheit nanoelektronischer Schaltungen und Systeme**
M. Radetzki, Universität Stuttgart, O. Bringmann, Forschungszentrum Informatik an der Universität Karlsruhe FZI; W. Nebel, OFFIS e.V., Oldenburg; M. Olbrich, Leibniz Universität Hannover; F. Salfelder, Universität Frankfurt/Main; U. Schlichtmann, Technische Universität München

- **Robuster Selbsttest mit extremer Kompaktierung**
T. Indlekofer, M. Schnittger, S. Hellebrand, Universität Paderborn
- **Effiziente Simulation von strukturellen Fehlern für die Zuverlässigkeitsanalyse auf Systemebene**
M. Kochte, C. Zöllin, R. Baranowski, M. E. Imhof, H.-J. Wunderlich, Universität Stuttgart; N. Hatami, S. Di Carlo, P. Prinetto, Politecnico di Torino, Italien

12:15-13:30 Mittagspause

13:30-14:30 Sitzung 2: Alterung

Moderation: R. Kohl, Continental AG, Nürnberg;
M. Olbrich, Universität Hannover

- **A New Physics-Based NBTI Model for DC-and AC-Stress Enabling Accurate Circuit Aging Simulations Considering Recovery**
C. Schlünder, H. Reisinger, W. Gustin, Infineon Technologies AG, Neubiberg;
T. Grasser, Technische Universität Wien
- **Timing-Modell für Makrozellen zur Alterungsanalyse**
D. Lorenz, M. Barke, U. Schlichtmann, Technische Universität München

14:30-15:30 Kaffeepause / Postersitzung: Test

Moderation: H. T. Vierhaus, Brandenburgische Technische Universität Cottbus

- **Analysis on Effectiveness of SRAM Test Algorithms and Test Statistics on Industrial Data**
M. Linder, A. Eder, Hochschule Augsburg;
K. Oberländer, G. Resch, M. Huch, Infineon Technologies AG, Neubiberg

- **A Holistic Approach of an Architecture for Tests of FPGA Based Systems with Boundary Scan**
J. Sachße, S. Ostendorff, H.-D. Wuttke, J. H. Meza Escobar, Technische Universität Ilmenau
- **An OpAmp Array Test Structure for Stress Test Measurements**
B. John, K. M. Hafkemeyer, W. H. Krautschneider, Technische Universität Hamburg-Harburg
- **IR-Thermographie zur Qualitätssicherung von elektrischen Durchkontaktierungen in Leiterplatten**
M. Abo Ras^{1,2}, D. May^{2,4}, R. Schacht^{2,3}, B. Wunderle^{2,4}, B. Michel²
¹ Berliner Nanotest und Design GmbH, Berlin,
² Fraunhofer IZM, Berlin
³ Hochschule Lausitz (FH), Senftenberg,
⁴ Technische Universität Chemnitz

15:30-16:15 Eingeladener Vortrag

Moderation: H. Randoll, Robert Bosch GmbH, Stuttgart

Zuverlässigkeit beim Entwurf software-basierter sicherheitsrelevanter Systeme
S. Kriebel, G. Strobl, BMW AG, München

16:15-17:15 Sitzung 3: Test und Selbstreparatur

Moderation: J. Bäsig, Fachhochschule Nürnberg;
W. Wolz, DTC Design & Test Consulting, Neunkirchen

- **Schwachstellen und Engpässe bei Verfahren der Selbstreparatur für hochintegrierte Schaltungen und Systeme**
T. Koal, D. Scheit, H. T. Vierhaus, Brandenburgische Technische Universität Cottbus
- **Testmethodik zur Untersuchung von geringen Leckströmen**
D. Kirsten, A. Rolapp, D. Nuernbergk, IMMS gGmbH, Ilmenau

19:00-23:00 Abendveranstaltung im Festsaal

Mittwoch, 15. September 2010

08:30-10:00 Eingeladene Vorträge

Moderation: M. Ackermann, X-FAB Semiconductor Foundries AG, Erfurt; W. Vermeiren, FhG-IIS/EAS, Dresden

Innovative Testlösungen für Automotive Halbleiter

H. Kuhn, Infineon Technologies AG, Regensburg

Importance of Design Quality within a Challenging Automotive Innovation Environment

T. Hötzel, Atmel Automotive GmbH, Heilbronn

10:00-11:00 Kaffeepause und Postersitzung

Moderation: A. Czutro, Albert-Ludwigs-Universität Freiburg

- **Totally Self-Checking Ripple-Carry-Adders**
N. Kehl, Robert Bosch GmbH, Stuttgart;
W. Rosenstiel, Universität Tübingen
- **Kompositionelle Formale Robustheitsprüfung**
S. Frehse, G. Fey, Universität Bremen
- **Orbital-X: Fehlertoleranter Rechner für Raumfahrtanwendungen**
J. Ortner, J. Frickel, S. M. Sattler, W. Glauert, Friedrich-Alexander-Universität Erlangen-Nürnberg; B. Kandler, R. Göbel, Hochschule Hof; P. Hager, U. Walter, Technische Universität München; H.-R. Graf, Diehl BGT Defence GmbH & Co. KG, Röthenbach
- **Auswirkung von Parameterschwankungen bei verschiedenen Fertigungsverfahren von Kupfer-Leitungsstrukturen**
A. Heinig, FhG-IIS/EAS, Dresden

- **Parameterextraktion VRH-basierter Modelle für organische Feldeffekttransistoren**
W. Schirmer, W. Glauert, Friedrich-Alexander-Universität Erlangen-Nürnberg; R. Blache, J. Krumm, K. Schmidt, Poly IC GmbH & Co. KG, Röthenbach

11:00-12:00 Sitzung 4: Ausbeute und Fehlertoleranz

Moderation: G. Georgakos, Infineon Technologies AG, Neubiberg; C. Gräß, Technische Universität München

- **Ausbeute und Fehlertoleranz bei dreifach modularer Redundanz**
M. Hunger, S. Hellebrand, Universität Paderborn
- **Eine neue Fehlertoleranzmethode zur Verringerung des Flächenaufwandes von TMR-Systemen**
M. Augustin, Brandenburgische Technische Universität Cottbus; M. Gössel, Universität Potsdam; R. Kraemer, IHP GmbH, Frankfurt/ Oder

12:00-13:30 Mittagspause

13:30-14:15 Eingeladener Vortrag

Moderation: W. Kunz, Universität Kaiserslautern

Process and Environmental-Adaptive "Self-Aware" Communications Systems

A. Chatterjee, School of Electrical and Computer Engineering, Georgia Institute of Technology, Atlanta, GA, USA

14:15-15:15 Sitzung 5: Prozessoren

Moderation: D. Fey, Friedrich-Alexander-Universität Erlangen-Nürnberg; H. Rauch, iSyst Intelligente Systeme GmbH, Nürnberg

- **Complete Verification of Weakly Programmable IPs against their Operational ISA Model**
S. Loitz, M. Wedler, D. Stoffel, C. Brehm, W. Kunz, N. Wehn, Universität Kaiserslautern

- **Online Transient Error Detection and Recovery in Re-order Buffers of Superscalar Processors**
S. Z. Shazli, M. Tahoori, Karlsruher Institut für Technologie KIT

15:15-15:30 Schlusswort

Allgemeine Hinweise

Tagungsorganisation (Anmeldung)

Bei Fragen zur Anmeldung wenden Sie sich bitte an:
VDE-Konferenz Service
Stresemannallee 15
60596 Frankfurt am Main
Telefon: 069 / 6308 - 275,- 381
Telefax: 069 / 9631 5213
E-Mail: vde-conferences@vde.com
URL: www.vde.com

Anmeldung

Die Anmeldung zur Fachtagung „Zuverlässigkeit und Entwurf“ erfolgt über den VDE-Konferenz Service. In der Heftmitte befindet sich ein Formular für die Anmeldung. Die Reservierung erfolgt in der Reihenfolge der Anmeldungen und erst nach vollständiger Bezahlung des Tagungsbeitrags.

Unter www.ZuE2010.de können Sie sich auch online anmelden.

Sie erhalten Ihren Tagungsausweis und Ihre Tagungsunterlagen im Tagungsbüro vor Ort vor Beginn der Veranstaltung

Teilnahmegebühren

	Anmeldung bis 16.08.2010	Anmeldung nach dem 16.08.2010
Nichtmitglied	€ 380,00	€ 450,00
Persönliches Mitglied *	€ 330,00	€ 400,00
Hochschulangehöriger *	€ 310,00	€ 380,00
Vortragender	€ 310,00	€ 380,00
Tageskarte mit Dinner	€ 210,00	€ 270,00
Tageskarte ohne Dinner	€ 170,00	€ 230,00
Student* (ohne Tagungsband)	€ 80,00	€ 120,00

* Ermäßigung nur bei Übersendung einer Kopie des VDE/VDI/GI-Mitgliedsausweises bzw. des Studentenausweises!

Die Tagungsgebühr beinhaltet den Tagungsband als CD-ROM, Pausengetränke, Mittagsimbiss und Abendveranstaltung.

Bezahlung der Teilnahmegebühr

Bitte überweisen Sie die Teilnahmegebühr erst nach Erhalt der Anmeldebestätigung auf das angegebene Konto. Bei der Überweisung ist unbedingt der Name des Teilnehmers und die Rechnungs-Nr. anzugeben. Sie können die Tagungsgebühr auch von Ihrem Kreditkarten-Konto abbuchen lassen. Bitte geben Sie dazu (auf dem Anmeldeformular) die Kreditkarten-Informationen an.

Bei kurzfristigen Anmeldungen bitten wir, die Teilnahmegebühr in bar oder per Kreditkarte im Tagungsbüro am Veranstaltungsort zu entrichten. Teilnehmer, die sich erst vor Ort anmelden, müssen damit rechnen, dass kein Tagungsband ausgehändigt werden kann.

Bei Anmeldungen aus dem Ausland kann die Zahlung nur mit Kreditkarte erfolgen.

Hinweis: Die verbindliche Reservierung für die Tagung erfolgt erst nach Eingang Ihrer Zahlung.

Stornierung

Bei Stornierung bis zum 16.08.2010 (Datum des Poststempels) wird die Teilnahmegebühr abzüglich € 80,- für Bearbeitungskosten zurückerstattet; bei Stornierung nach diesem Zeitpunkt kann eine Rückerstattung der Teilnahmegebühr nicht mehr vorgenommen werden. Der Tagungsband wird dann nach der Veranstaltung zugesandt. Es ist jedoch möglich, einen Ersatzteilnehmer zu benennen.

Telefonische Erreichbarkeit während der Tagung

Ab 13.09.2010 befindet sich das Tagungsbüro im Bildungszentrum der Hans-Seidel-Stiftung in Wildbad Kreuth. Das Tagungsbüro erreichen Sie unter:

Telefon: 0171 / 46 95 118 (Dr. R. Schnabel)

Tagungsort:

Bildungszentrum Wildbad Kreuth
Hans-Seidel-Stiftung
83708 Kreuth
Tel.: 08029-17-0

Zimmerreservierungen

Im Bildungszentrum Wildbad Kreuth haben wir für Sie bis zum 15. August 2010 ein Zimmerkontingent auf Abruf zum Preis von € 55,00 pro Nacht inklusive Frühstück geblockt.

Bitte reservieren Sie Ihr Hotelzimmer, wenn möglich per E-Mail an kreuth@hss.de unter dem Stichwort „ZuE 2010“ und geben Sie hierbei Ihre Rechnungsanschrift an.

Bildungszentrum Wildbad Kreuth
Hans-Seidel-Stiftung
83708 Kreuth
Tel.: 08029-17-0
Fax: 08029 17-34
Internet: www.hss.de
E-Mail: kreuth@hss.de

Anreise

Anreise mit dem Auto

Autobahn München-Salzburg (A8) bis Anschlussstelle Holzkirchen (97), dann weiter auf der B 318 Richtung Tegernsee.

Ab Gmund Beschilderung Tegernsee oder Bad Wiessee folgend über Rottach-Egern nach Kreuth, ca. 1,5 km nach Ortsende links nach Wildbad Kreuth abbiegen.

Alternativ können Sie auch über die B13 Bad Tölz, Lenggries, Sylvenstein Stausee oder vom Inntal über Achensee (Österreich) anreisen.

Anreise mit der Bahn

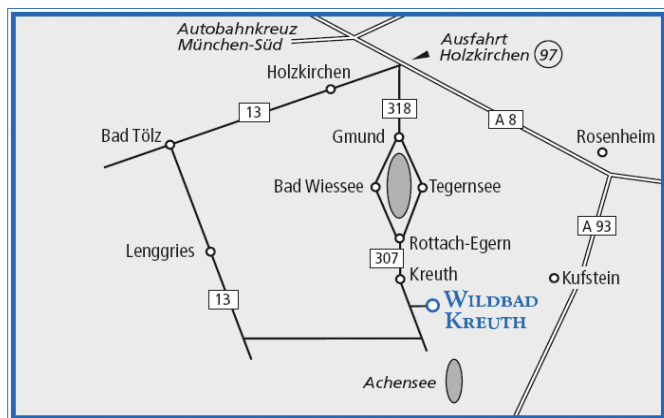
Geben Sie in der elektronischen Reiseauskunft der Deutschen Bahn als Reiseziel „Wildbad Kreuth“ ein, Ihnen werden dann automatisch Anschlussmöglichkeiten mit dem Regionalbus angezeigt. Alternativ können Sie auch ab dem Bahnhof „Tegernsee“ mit dem Anruf-Sammel-Taxi fahren:

Das Anruf-Sammel-Taxi im Landkreis Miesbach

erreichen Sie unter der Nr. 08025 99 99 82. Fahrten im 30-Minuten-Takt von 06:00 - 24:00 Uhr.

GPS-Koordinaten für Navigationssystem

GPS-Koordinaten: Länge: 11Grad 44 25 O;
Breite: 47Grad 37 17 N.



Naturerlebnis

Am 13. September 2010 unternehmen wir ab 17:00 Uhr einen Spaziergang in die Wolfsschlucht. Festes Schuhwerk und ggf. wetterfeste Kleidung sind empfehlenswert. Der Abend klingt an ca. 19:30 Uhr mit einem Get Together im Tagungszentrum aus.

Abendveranstaltung

Am 14. September 2010 findet ab 19:00 Uhr die Abendveranstaltung im Festsaal des Bildungszentrums Wildbad Kreuth statt.