

Programm zur 9. ITG/GMM/GI-Fachtagung „Zuverlässigkeit und Entwurf“
(ZuE) 2017 in Cottbus

Montag, 18. September 2017		
Veranstaltungsort: IHP Frankfurt (Oder)		
11:30 – 13:00	Registrierung/individuelles Mittagessen in der Cafeteria	IHP
13:00 – 14:30	Tutorial: <i>Tamper resistant implementation of cryptographic algorithms</i> (Teil 1) Heike Neumann (HAW Hamburg)	IHP, E1+E2
14:30 – 15:00	Kaffeepause	
15:00 – 16:30	Tutorial: <i>Tamper resistant implementation of cryptographic algorithms</i> (Teil 2) Peter Langendörfer (IHP), Zoya Dyka (IHP)	IHP, E1+E2
16:30 – 17:15	Besuch Crypto Lab und/oder Reinraum	
17:30 – 19:00	Organisierte Fahrt nach Cottbus	
19:30 – 21:30	Empfang an der BTU Cottbus-Senftenberg	BTU, VG 1C
Dienstag, 19. September 2017		
Veranstaltungsort: BTU Cottbus-Senftenberg, Zentralcampus		
08:00 – 09:00	Registrierung	VG 1C, Foyer
09:00 – 09:30	Begrüßung: Christiane Hipp, Vizepräsidentin der BTU-CS	VG 1C, 0.01
09:30 – 10:30	Keynote 1: RAS Strategien für High-Performance Mikroprozessoren der nächsten Generationen Matthias Pflanz, IBM Germany Development GmbH, Böblingen Moderator: Sebastian Sattler, Univ. Erlangen-Nürnberg	VG 1C, 0.01
10:30 – 11:00	Kaffeepause	VG 1C, Foyer
11:00 – 12:00	Sitzung 1: Fehlermodellierung und -analyse Moderator: Kai Hahn, Univ. Siegen	VG 1C, 0.01
	<i>ESD damage without failure, followed by EOS: A case study on automotive power ICs</i> Dennis Helmut, Gerhard Wachutka und Gerhard Groos	
	<i>Erstellung eines Modells der Kritischen Ladung zur Bewertung der Robustheit gegenüber SETs und SEUs: Fallstudie Muller C-Element</i> Marko Andjelkovic, Milos Krstic, Rolf Kraemer, Varadan Savulimedu Veeravalli und Andreas Steininger	
12:00 – 13:00	Mittagspause (BTU-Mensa)	

13:00 – 14:30	Sitzung 2: Funktionale Sicherheit und Fehlertoleranz Moderator: Vladimir Petrovic, Robert Bosch GmbH, Reutlingen	VG 1C, 0.01
	Eingeladener Vortrag: Security Tests zur Steigerung der funktionalen Sicherheit Tobias Koal, Philotech GmbH, Cottbus	
	<i>Forward Error Correction in Industrial Wireless Communication</i> Heinrich T. Vierhaus, Christian Gleichner und Petr Pfeifer	
	<i>Systematic Design of a New 3-Bit-Burst-Error Correction Code with Minimal Number of Check Bits</i> Alexander Klockmann, Georg Georgakos und Michael Goessel	
14:30 – 15:00	Kaffeepause	VG 1C, Foyer
15:00 – 16:30	Sitzung 3: Analog und Mixed Signal Design Moderator: Rainer G. Spallek, TU Dresden	VG 1C, 0.01
	<i>Predictive System-Level Constraint Verification and Optimization</i> Andreas Krinke, Lei Lei und Jens Lienig	
	<i>Power-Down-Synthese für analoge Schaltungen</i> Maximilian Neuner, Michael Zwerger und Helmut Graeb	
	<i>A Multiplying 1.5V 12-bit 60-MS/s Current Steering CMOS Digital-to-Analog Converter for low Latency Transceiver Front-Ends in Industrial Radio Applications</i> Reimund Wittmann, Robert Teschner, Frank Henkel, Klaus Tittelbach-Helmrich und Andreas Wolf	
17:00 – 22:00	Abendprogramm	

Mittwoch, 20. September 2017

Veranstaltungsort: BTU Cottbus-Senftenberg, Zentralcampus

09:00 – 10:00	Keynote 2: Low Voltage Embedded Memories Alexander Fish, Emerging Nanoscaled Circuit and Systems Lab (ENICS), Bar-Ilan University, Israel Moderator: Jens Lienig, TU Dresden	VG 1C, 0.01
10:00 – 10:30	Kurzvorstellung der Poster Moderator: Sebastian Sattler, Univ. Erlangen-Nürnberg	VG 1C, 0.01
10:30 – 11:30	Kaffeepause und Postersitzung	VG 1C, Foyer
	<i>Failure-Rate Analysis based on Microprocessor Trace Data</i> Martin Zabel, Matthias Brinker, Steffen Köhler, Rainer G. Spallek	
	<i>Holistic view of the reliability prediction using the example of steering electronics</i> Ulrike Weinrich, Gerd Baumann, Hans-Christian Reuss, Stefan Walz	

	<i>Simulation-Based Design Methodology for Heterogeneous Systems at Package-Level Utilizing XML and XSLT</i> Robert Fischbach, Andy Heinig, Jens Lienig	
	<i>TAP-Controller Modellierung mit Signalflussgraphen</i> Farouk Babba, Sebastian Sattler	
	<i>Timing Variability Analysis of Digital CMOS Circuits</i> Jahnavi Kasturi Rangan, Nasim Pour Aryan, Jens Bargfrede, Christian Funke, Helmut Graeb	
11:30 – 13:00	Sitzung 4: Technologie und Zuverlässigkeit Moderator: Michael Schmidt, Liebherr-Elektronik GmbH, Lindau	VG 1C, 0.01
	Eingeladener Vortrag: <i>Expansions of the design space with 22FDX</i> Gerd Teepe, GlobalFoundries	
	<i>Low ppm failure analysis for advanced Cu and Cu alloy on-chip wiring</i> Matthias Kraatz, Meike Hauschildt, Martin Gall und Ehrenfried Zschech	
	<i>2D TCAD Simulation of Single Event Transients in 250 nm Bulk CMOS Technology</i> Marko Andjelkovic, Ulrich Jagdhold, Milos Krstic und Rolf Kraemer	
13:00 – 14:00	Mittagspause (BTU-Mensa)	
14:00 – 15:00	Sitzung 5: 3D Design und Modellierung Moderator: Peter Schneider, Fraunhofer IIS/EAS, Dresden	VG 1C, 0.01
	<i>Physical Design Challenges and Solutions for Interposer-Based 3D Systems</i> Sergii Osmolovskyi und Jens Lienig	
	<i>Strukturtreue Modellierung anhand von Signalflussgraphen</i> Mohamed Denguir, Sebastian Sattler, Gürkan Uygur, Benjamin Cella, Michael Schmidt, Tobias Egelhofer und Bruno Scheffold	
15:00 – 15:30	Best-Paper-Award und Verabschiedung	VG 1C, 0.01